

CLM1200

工业以太网从站控制器

产品参数

- 工作范围
 - 内部2个LDO提供I/O(5V到3.3V)和逻辑内核/PLL电源(5V/3.3V到1.8V)
 - 选择外部电源提供I/O和逻辑内核/PLL电源。
- 以太网端口数量：
 - 2个固定端口
 - 1个可选择的额外桥端口
(每个可配置成MII接口或者LVDS接口，最多1个MII接口)
- FMMU数量：3
- 同步管理SM (SyncManager) 数量：4
- RAM容量：1Kbyte
- 集成分布时钟DC (Distributed Clock)：是,64bit
- 过程数据接口PDI (Process Data Interface)：
 - 16Bit数据量I/O接口(单向/双向)
 - SPI从站接口
- I/O：3.3V相容的I/O
- 封装：QFN48(7×7mm²)
- 其他：
 - 内部1GHzPLL
 - 用于外部器件的时钟输出(10,20,25MHz)

目录

CLM1200	1
目录.....	2
图目录	4
表目录	5
缩写目录	6
1. 介绍	8
2. 描述	9
2.1. 芯片模块框图	9
2.1.1. 数据帧处理顺序	10
2.2. 模块概述	11
2.2.1. 物理通信接口 :	11
2.2.2. PDI接口 :	11
2.2.3. 以太网从站控制器数据帧处理单元 :	11
2.2.4. 存储同步管理	11
2.2.5. 现场总线内存管理单元 (FMMU)	11
2.2.6. 分布时钟	11
3. 引脚分配	12
3.1. QFN48	12
3.2. 引脚功能及连接要求	15
3.2.1. 电源	17
3.2.1.1. 举例电源引脚连接原理图	18
3.2.2. 时钟	19
3.2.2.1. 举例时钟供应原理图	19
3.2.3. 复位引脚	21
3.2.3.1. 举例复位引脚原理图	21
3.2.4. RBIAS 引脚	22
3.2.4.1. 举例RBIAS电阻原理图	22
3.2.5. 配置信号引脚	23
3.2.5.1. 举例配置信号输入/指示灯输出引脚原理图	23
3.2.5.2. 芯片模式	24
3.2.5.3. CPU_CLK模式	24
3.2.5.4. TX相位移动	24
3.2.5.5. CLK25OUT使能	25
3.2.5.6. PHY地址偏移	25
3.2.5.7. SII EEPROM内存大小	25
3.2.6. SII EEPROM接口引脚	26
3.2.7. 分布时钟SYNC/LATCH和MII管理引脚	26
3.2.8. LED信号	27
3.2.9. 物理端口和PDI引脚	28

3.2.9.1.MII信号	29
3.2.9.1.1.CLK25OUT信号	29
3.2.9.1.2.举例MII连接原理图	30
3.2.9.2.LVDS信号	31
3.2.9.2.1.举例LVDS端口连接原理图	31
3.2.9.3.PDI引脚	32
3.2.9.4.端口0/1和PDI[17:8]引脚	33
3.2.9.5.PDI[7:0]信号	34
3.2.10.PDI接口	35
3.2.10.1.数字量I/O接口	36
3.2.10.2.SPI接口引脚分	36
3.2.10.3.LVDS/MII桥端口(逻辑端口3)	37
3.2.11.测试模式引脚	38
4. 内存映射	39
5. Electrical Specifications	42
5.1.Absolute Maximum Conditions	42
5.2.Operating Conditions	42
5.2.1.Power Supply	42
5.2.2.Electrical Characteristics	43
5.2.3.EMS Characteristics	45
5.2.4.Thermal Characteristics	46
6. 封装和订购信息	47
6.1.封装信息	47
6.1.1.QFN48封装	47
6.2.订购信息	48
附录A 应用注意	49
A.1 TX SHIFT设置	49
A.2 PHY芯片选择注意事项	50
A.3 关于PHY芯片的时钟	50

图目录

图2.1 结构框图	9
图2.2 以太网从站控制内部数据帧传输顺序	10
图3.1 CLM1200-0002的QFN48封装引脚分布	12
图3.2 CLM1200-0002电源供电	18
图3.3 CLM1200-0002石英晶体时钟源的连接	19
图3.4 CLM1200-0002和以太网从站PHY使用石英晶体时的连接	20
图3.5 CLM1200-0002和以太网从站PHY使用振荡器时的连接	20
图3.6 RESET 引脚连接图	21
图3.7 LVDS 偏压电阻	22
图3.8 输入/LED 输出引脚双功能配置连接	23
图3.9 PHY连接	30
图3.10 LVDS端口接收端	31
图A.1 延时示意图	49
图A.2 PHY芯片时钟	50

表目录

表2.1 数据帧处理顺序	10
表3.1 CLM1200-0002引脚名称	13
表3.2 信号概述.....	15
表3.3 信号概述.....	16
表3.4 供电电压选择	17
表3.5电源引脚	17
表3.6 时钟引脚.....	19
表3.7 复位引脚.....	21
表3.8 RBIAS 引脚.....	22
表3.9 芯片模式.....	24
表3.10 CPU_CLK模式.....	24
表3.11 TX相位偏移	24
表3.12 CLK25OUT使能	25
表3.13 PHY地址偏移	25
表3.14 SII EEPROM内存大小	25
表3.15 SII EEPROM接口	26
表3.16 DC SYNC/LATCH和MII管理引脚.....	26
表3.17 LED引脚	27
表3.18 PDI和芯片模式的组合配置	28
表3.19 MII信号	29
表3.20 LVDS信号	31
表3.21 端口0/1和PDI信号(配置芯片模式00)	33
表3.22 端口0/1和PDI信号(配置芯片模式10/11)	33
表3.23 PDI引脚.....	34
表3.24 数字量I/O接口的映射	36
表3.25 SPI接口的映射	36
表3.26 LVDS桥信号的映射.....	37
表3.27 MII桥接口的映射	37
表3.28 TESTMODE引脚	38
表4.1 CLM1200-0002寄存器分布	41
Table5.1 Absolute Maximum Conditions.....	42
Table5.2 Power Supply	42
Table5.3 DC Characteristics	43
Table5.4 DC Characteristics(Supply Current).....	44
Table5.5 EMS Characteristics	45
Table5.6 Thermal Characteristics.....	46

缩写目录

ADR	Address 地址
AL	Application Layer 应用层
BD	Bidirectional 双向
BGA	Ball Grid Array 球阵列封装
BHE	Bus High Enable 总线高电平使能
CMD	Command 命令
CS	Chip Select 片选
DC	Distributed Clock 集成分布时钟
DL	Data Link Layer 数据链接层
EMC	Electromagnetic Compatibility 电磁兼容性
EMI	Electromagnetic Interference 电磁干扰
EOF	End of Frame 帧结尾
EEPROM	Electrically Erasable Programmable read only memory 带电可擦可编程只读存储器
FMMU	Fieldbus Memory Management Unit 现场总线内存管理单元
GPI	General Purpose Input 通用数字量输入引脚
GPO	General Purpose Output 通用数字量输出引脚
I	Input 输入
I/O	Input or Output 输入或者输出
I2C	Inter-Integrated Circuit 集成电路总线
IRQ	Interrupt Request 中断请求
LDO	Low Drop-Out regulator 低压差线性稳压器
LVDS	Low Voltage Differential Signaling 低压差分信号
LI-	LVDS RX- 低压差分信号负接收端
LI+	LVDS RX+ 低压差分信号正接收端
LO-	LVDS TX- 低压差分信号负发射端
LO+	LVDS TX+ 低压差分信号正发射端
LED	Light Emitting Diode 发光二极管
MAC	Media Access Controller 介质访问控制
MDIO	Management Data Input / Output 管理数据输入/输出
MI	(PHY) Management Interface 以太网物理层接口器件管理接口

MII	Media Independent Interface 介质无关接口
MISO	Master In – Slave Out 主站输入-从站输出
MOSI	Master Out – Slave In 主站输出-从站输入
n.a.	not available 未使用
n.c.	not connected 未连接
O	Output 输出
PD	Pull-down 下拉
PDI	Process Data Interface 过程数据接口
	Physical Device Interface 物理设备接口
PLL	Phase Locked Loop 锁相回路
PU	Pull-up 上拉
PHY	Physical 以太网物理层器件
QFN	Quad Flat package No leads 方形扁平无引脚封装
RD	Read 读
SII	Slave Information Interface 从站信息接口
SM	SyncManager 同步管理器
SOF	Start of Frame 帧起始
SPI	Serial Peripheral Interface 串行外设接口
TA	Transfer Acknowledge 传输应答
TFBGA	Thin-profile Fine-pitch BGA 薄型球栅阵列封装
TS	Transfer Start 传输周期启动
UI	Unused Input (PDI: PD, 其它: GND)未使用的输入引脚
WD	Watchdog 看门狗
WPD	Weak Pull-down 弱下拉，只够配置信号
WPU	Weak Pull-up 弱上拉，只够配置信号
WR	Write 写

1. 介绍

本芯片为实现工业以太网协议的从站控制器芯片。

工业以太网是一种实时工业以太网计数，它充分利用了以太网的全双工特性。使用主从模式介质访问控制（MAC），主站发送以太网帧给各从站，从站从数据帧中抽取数据或将数据插入数据帧。主站使用标准的以太网接口卡，从站使用专门的以太网从站控制器，即可使用本芯片。

本芯片在从站系统中主要负责处理工业以太网数据帧，并使用双端口存储区实现工业以太网主站与从站本地应用的数据交换。各个从站以太网从站控制器按照各自在环路上的物理位置顺序移位读写数据帧。在报文经过从站时，以太网从站控制器从报文中提取发送给自己的输出命令数据并将其存储到内部存储区，输入数据从内部存储区又被写到相应的子报文中。数据的提取和插入都是由以太网从站控制器完成。

2. 描述

2.1. 芯片模块框图

本芯片为工业以太网从站控制器芯片，是实现工业以太网数据链路层协议的专用集成电路芯片。它处理工业以太网数据帧，并为从站控制装置提供数据接口。结构如下图：

CLM1200

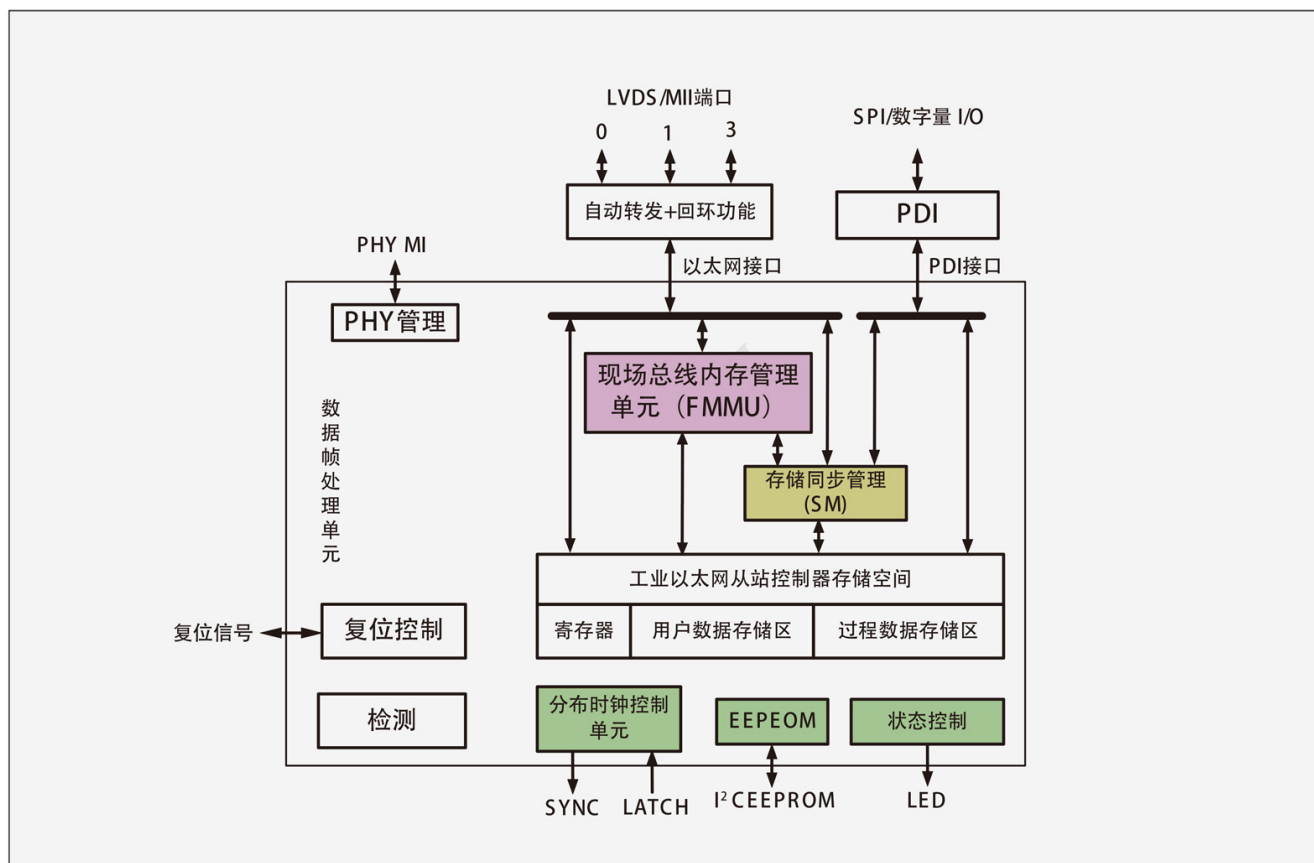


图2.1 结构框图

本芯片具有3个数据收发端口、3个FMMU单元、4个SM通道、256KB控制寄存器、1KB过程数据存储区、支持64位分布时钟功能。它可以直接作为32位数字量输入/输出站点，组成复杂的从站设备。

2.1.1.数据帧处理顺序

本芯片的数据帧处理顺序由LVDS/MII端口数量和芯片模式决定:

LVDS/MII端口数量	数据帧处理顺序
2	0→工业以太网数据帧处理单元→1/1→0
3	0→工业以太网数据帧处理单元→3/3→1/1→0

表2.1 数据帧处理顺序

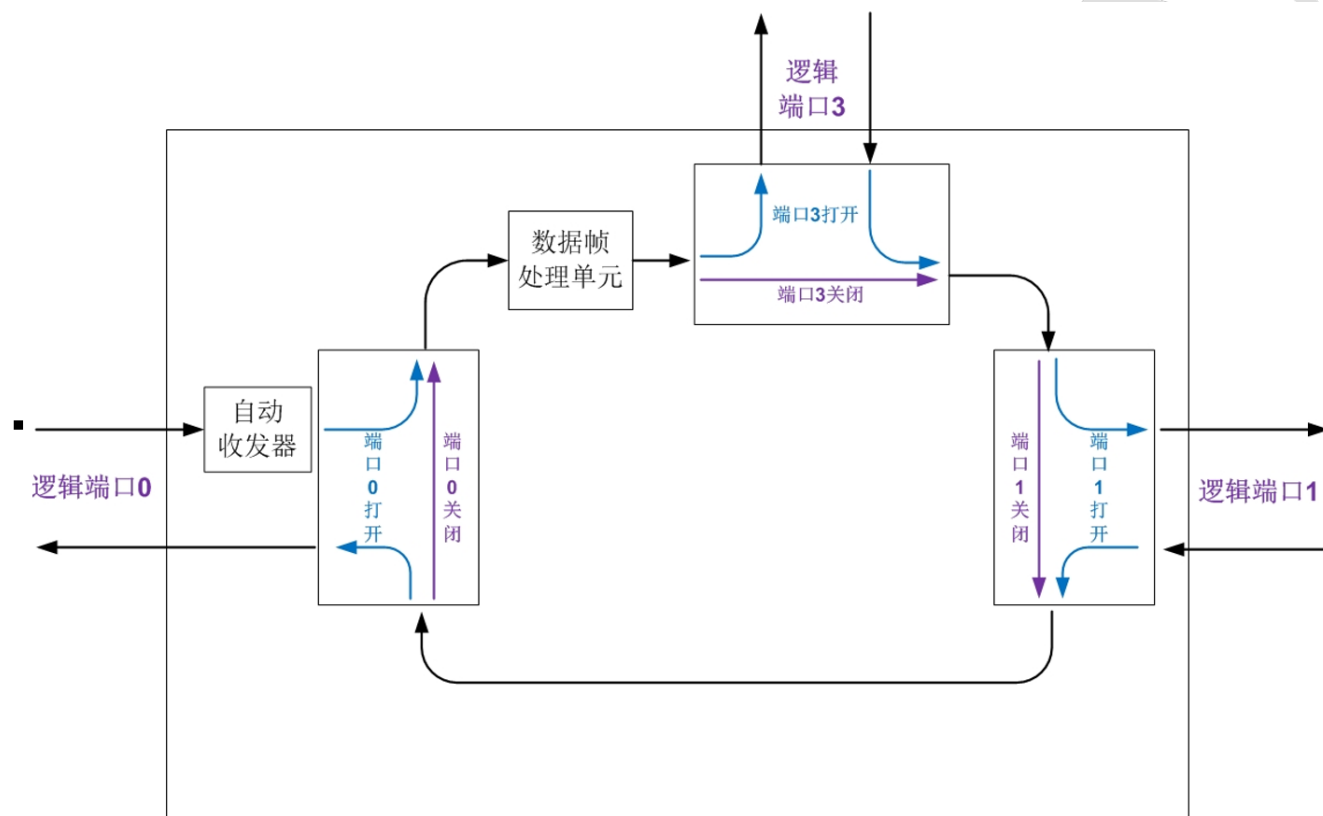


图2.2 以太网从站控制内部数据帧传输顺序

2.2.模块概述

2.2.1.物理通信接口：

本芯片有3个物理通信端口，分别命名为端口0,端口1，端口3，可以配置为MII接口和LVDS接口。

MII接口：使用此接口时，需要外接以太网物理层PHY芯片。

LVDS接口：使用低压差分信号LVDS，最远传输距离为10米。

2.2.2.PDI接口：

支持直接IO信号接口、SPI接口。

2.2.3.以太网从站控制器数据帧处理单元：

每个以太网从站控制器可以最多支持3个数据收发端口，每个端口都可以处在打开或闭合状态。如果端口打开，则可以向其他以太网从站控制器发送数据帧或从其他以太网从站控制器接收数据帧。一个闭合的端口不会与其他以太网从站控制器交换数据帧，它在内部将数据帧转发到下一个逻辑端口，直到数据帧到达一个打开的端口。

2.2.4.存储同步管理

以太网从站控制器使用了存储同步管理通道SM（SyncManager）来保证主站与本地应用数据交换的一致性和安全性，并在数据状态改变时产生中断来通知双方。

2.2.5.现场总线内存管理单元（FMMU）

FMMU将从站本地物理存储地址映射到网段内逻辑地址。实现从站在4GB（2³²）地址空间的逻辑寻址，报文内的32位地址区作为整体的数据逻辑寻址的地址。

2.2.6.分布时钟

分布时钟（DC，Distributed Clock）可以使所有工业以太网设备使用相同的系统时间，从而控制设备任务的同步执行。从站设备可以根据同步的系统时间产生同步信号，用于中断控制或触发数据量输入输出。

3. 引脚分配

3.1.QFN48

CLM1200-0002和CLM1200-0003采用了QFN48封装。

QFN48封装引脚分布如图3.1所示，共有48个引脚，管脚名称如表所示。

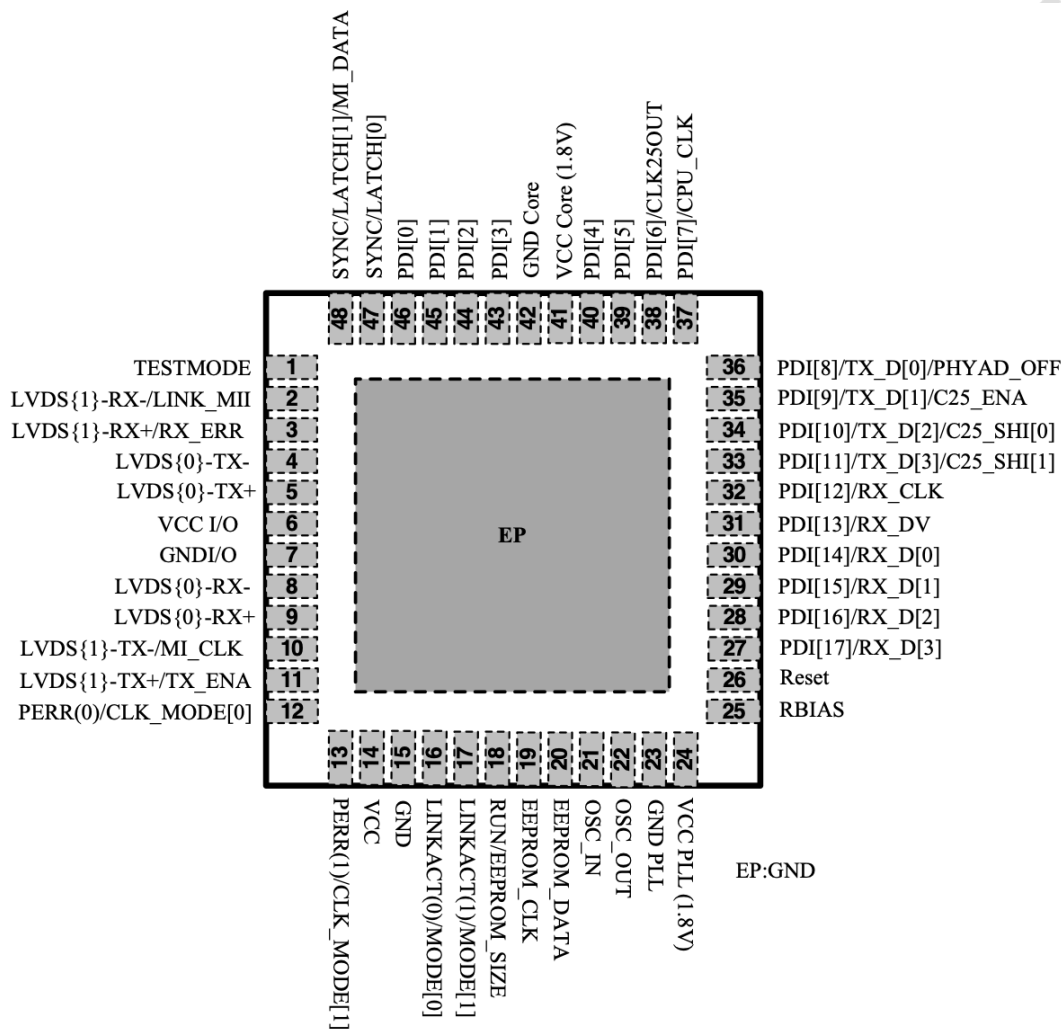


图3.1 CLM1200-0002的QFN48封装引脚分布

端口顺序	端口名称	方向	高低压分类
EP	GND	-	0V
1	TESTMODE	I	3.3V
2	LVDS{1}-RX-/LINK_MII	LI-/I	3.3V
3	LVDS{1}-RX+/RX_ERR	LI+/I	3.3V
4	LVDS{0}-TX-	LO-	3.3V
5	LVDS{0}-TX+	LO+	3.3V
6	VCC I/O	I/O	3.3V
7	GND I/O	I/O*	0V
8	LVDS{0}-RX-	LI-	3.3V
9	LVDS{0}-RX+	LI+	3.3V
10	LVDS{1}-TX-/MI_CLK	LO-/O	3.3V
11	LVDS{1}-TX+/TX_ENA	LO+/O	3.3V
12	PERR(0)/CLK_MODE[0]	BD	3.3V
13	PERR(1)/CLK_MODE[1]	BD	3.3V
14	VCC	-	5V
15	GND	-	0V
16	LINKACT(0)/MODE[0]	BD	3.3V
17	LINKACT(1)/MODE[1]	BD	3.3V
18	RUN/EEPROM_SIZE	BD	3.3V
19	EEPROM_CLK	BD	3.3V
20	EEPROM_DATA	BD	3.3V
21	OSC_IN	I	3.3V
22	OSC_OUT	O	3.3V
23	GND PLL	-	0V
24	VCC PLL (1.8V)	-	1.8V
25	RBIAS	-	3.3V
26	Reset	BD	3.3V
27	PDI[17]/RX_D[3]	BD	3.3V
28	PDI[16]/RX_D[2]	BD	3.3V
29	PDI[15]/RX_D[1]	BD	3.3V
30	PDI[14]/RX_D[0]	BD	3.3V
31	PDI[13]/RX_DV	BD	3.3V
32	PDI[12]/RX_CLK	BD	3.3V
33	PDI[11]/TX_D[3]/C25_SHI[1]	BD	3.3V
34	PDI[10]/TX_D[2]/C25_SHI[0]	BD	3.3V
35	PDI[9]/TX_D[1]/C25_ENA	BD	3.3V
36	PDI[8]/TX_D[0]/PHYAD_OFF	BD	3.3V
37	PDI[7]/CPU_CLK	BD	3.3V
38	PDI[6]/CLK25OUT	BD	3.3V
39	PDI[5]	BD	3.3V
40	PDI[4]	BD	3.3V
41	VCC Core (1.8V)	-	1.8V
42	GND Core	-	0V
43	PDI[3]	BD/LI-	3.3V
44	PDI[2]	BD/LI+	3.3V
45	PDI[1]	BD/LO-	3.3V
46	PDI[0]	BD/LO+	3.3V
47	SYNC/LATCH[0]	BD	3.3V
48	SYNC/LATCH[1]/MI_DATA	BD	3.3V

表3.1 CLM1200-0002引脚名称

注意：1，CLM1200-0002的底部裸露的焊盘即为引脚EP。

2，关于一些引脚方向常用缩写如下，具体也可参考缩写目录。

缩写	方向
I	输入 (Input)
I/O	输入或输出 (Input or Output)
LI-	低压差分接收信号负极 (LVDS RX-)
LI+	低压差分接收信号正极 (LVDS RX+)
LO-	低压差分发送信号负极 (LVDS TX-)
LO+	低压差分发送信号正极 (LVDS TX+)
O	输出 (Output)
LVDS	低压差分信号 (Low Voltage Differential Signaling)

3.2.引脚功能及连接要求

信号	类型	方向	功能描述
C25_ENA	配置	I	CLK25OUT使能: 使能CLK25OUT引脚输出
C25_SHI[1:0]	配置	I	TX信号 (发送信号) 相位偏移: MII TX信号的转移/相位偏移
CLK_MODE[1:0]	配置	I	CPU_CLK配置
CLK25OUT	MII	O	工业以太网PHY芯片的25MHz时钟源
CPU_CLK	PDI	O	微控制器的时钟信号
LVDS{1:0}-RX-	LVDS	LI-	低电压差分接收信号负极
LVDS{1:0}-RX+	LVDS	LI+	低电压差分接收信号正极
LVDS{1:0}-TX-	LVDS	LO-	低电压差分发送信号负极
LVDS{1:0}-TX+	LVDS	LO+	低电压差分发送信号正极
EEPROM_CLK	EEPROM	BD	EEPROM接口集成电路总线 (I ² C) 通信时钟
EEPROM_DATA	EEPROM	BD	EEPROM接口 I ² C通信数据
EEPROM_SIZE	配置	I	EEPROM存储大小配置
PERR(3:0)	LED	O	端口接收错误指示灯(LED)输出 (用于测试)
GND	电源		地
GND _{Core}	电源		逻辑内核地
GND _{I/O}	电源		I/O地
GND _{PLL}	电源		PLL锁相环地
LINK_MII(3:0)	MII	I	表示一个链接的PHY信号
LINKACT(3:0)	LED	O	链接/活动(Link/Activity)指示灯 (LED) 输出
MI_CLK	MII	O	PHY管理接口时钟 (MDC)
MI_DATA	MII	BD	PHY管理接口数据 (MDIO)
OSC_IN	Clock	I	时钟源 (晶体/振荡器)
OSC_OUT	Clock	O	时钟源 (晶体)
PDI[17:0]	PDI	BD	PDI 信号, 取决于EEPROM内容
PHYAD_OFF	配置	I	工业以太网PHY地址偏移
RBIAS	LVDS	LVDS	用于低电压差分发送信号 (LVDS-TX) 电流调节的偏压电阻
RESET	通用	BD	集电极开路内部复位输出信号/外部复位控制信号输入
RUN	LED	O	应用层(AL)状态寄存器控制的运行指示灯
RX_CLK	MII	I	MII接收时钟
RX_D[3:0]	MII	I	MII接收数据
RX_DV	MII	I	MII接收数据有效信号
RX_ERR	MII	I	MII接收错误
SYNC/LATCH[1:0]	DC	I/O	分布式时钟同步信号输出或者自锁信号输入
TESTMODE	通用	I	用于测试的保留管脚, 连接到地
TX_D[3:0]	MII	O	MII发送数据
TX_ENA	MII	O	MII 发送使能
Vcc	电源		器件电源 (LDO的输入)
VCC Core	电源		逻辑内核电源
VCC I/O	电源		I/O信号电源
VCC PLL	电源		PLL锁相环电源

表3.2 信号概述

PDI	信号	方向	描述
数字量I/O接口	I/O[15:0]	I/O/BD	输入/输出或者双向数据
	LATCH_IN/SOF	I/O	外部数据锁存信号/帧起始
	OUTVALID/WD_TRIG	O	输出数据有效/输出事件/看门狗触发
SPI从站接口	EEPROM_LOADED	O	PDI激活, EEPROM数据正确加载
	SPI_CLK	I	SPI时钟
	SPI_DI	I	SPI 数据MOSI
	SPI_DO	O	SPI 数据 MISO
	SPI_IRQ	O	SPI 中断
	SPI_SEL	I	SPI 片选
LVDS桥	LVDS(3)-RX-	LI-	低电压差分接收信号负端
	LVDS (3)-RX+	LI+	低电压差分接收信号正端
	LVDS (3)-TX-	LO-	低电压差分发送信号负端
	LVDS (3)-TX+	LO+	低电压差分发送信号正端
	PERR(3)	O	端口接收错误指示灯(LED)输出 (用于测试)
	LINKACT(3)	O	链接/活动(Link/Activity)指示灯 (LED) 输出
	GPO[11:0]	O	通用输出
MII桥	TX_D(3)[3:0]	O	MII发送数据
	TX_ENA(3)	O	MII 发送使能
	RX_CLK(3)	I	MII接收时钟
	RX_D(3)[3:0]	I	MII接收数据
	RX_DV(3)	I	MII接收数据有效信号
	RX_ERR(3)	I	MII接收错误
	LINK_MII(3)	I	表示一个链接的PHY信号
	LINKACT(3)	O	链接/活动(Link/Activity)指示灯 (LED) 输出
	PERR(3)	O	端口接收错误指示灯(LED)输出 (用于测试)
	GPO[1]	O	通用输出
	MI_CLK	O	PHY管理接口时钟 (MDC)
	CLK25OUT	O	工业以太网PHY芯片的25MHz时钟源

表3.3 信号概述

3.2.1.电源

CLM1200-0002支持不同的电源供电和I/O电平选择，它可以是3.3V（也可选用5V，但是实际应用中不建议选用），也支持选择单电源供电或者双电源供电。

VCC I/O的电压值直接决定所有输入和输出信号的I/O电平，它可以使用3.3V或5V供电。使用3.3V时，I/O信号电平即为3.3V，不允许使用5V输入。当I/O信号电平要求为5V时，此时输入电源为5V。

CLM1200-0002内部有两个LDO（Low Dropout Regulator，低压线性稳压器），它们均从电源引脚VCC获取电源供电，一个LDO输出I/O信号供电电压VCC I/O，通常这个电压为3.3V，另外一个LDO输出逻辑内核供电电压VCC Core/VCC PLL，通常这个电压为1.8V。故VCC引脚电压必须大于等于VCC I/O。VCC PLL总是等于VCC Core。内部LDO不能被关闭，但是如果外部供电电压大于内部LDO输出，它会停止操作，因此，选用外部供电时供电电压至少要高于内部LDO输出电压0.1V。

使用内部LDO会增加功耗，值得注意的是，I/O选用5V电压时的功耗大于I/O选用3.3V电压时的功耗。所以更加建议选用3.3V的I/O信号和内部LDO为VCC Core/VCC PLL供电。

当I/O选用3.3V电平时，需要3.3V电源供电，此时VCC和VCC I/O不得不连接到外部3.3V电源。当I/O选用5V电平时，需要5V电源供电，此时VCC和VCC I/O不得不连接到外部5V电源。

每个电源引脚都要连接稳压电容。

Vcc	VCC I/O	VCC Core/VCC PLL	输入信号	输出信号	解释
3.3V	外部电压3.3V (=Vcc)	内部LDO (1.8V)	仅3.3V	仅3.3V	单电源供电, 低功耗
5V	内部 LDO (3.3V)	内部LDO (1.8V)	仅3.3V	仅3.3V	单电源供电, 由于LDO供电 VCC I/O, 最高功耗
为了将来的兼容性不建议选用:					
3.3V	外部电压3.3V (=Vcc)	外部电压1.8V	仅3.3V	仅3.3V	双电源供电, 最低功耗
5V	内部 LDO (3.3V)	外部电压1.8V	仅3.3V	仅3.3V	双电源供电
5V	外部电压5V (=Vcc)	内部LDO (1.8V)	仅5V	仅5V	单电源供电, 高功耗
5V	外部电压5V (=Vcc)	外部电压1.8V	仅5V	仅5V	双电源供电, 高功耗

表3.4 供电电压选择

CLM1200-0002的电源引脚如下表所示。

引脚	引脚名称
EP	GND
14	Vcc
15	GND
6	VCC I/O
7	GND _{I/O}
41	VCC Core(1.8V)
42	GND _{Core}
24	VCC PLL(1.8V)
23	GND _{PLL}

表3.5电源引脚

3.2.1.1.举例电源引脚连接原理图

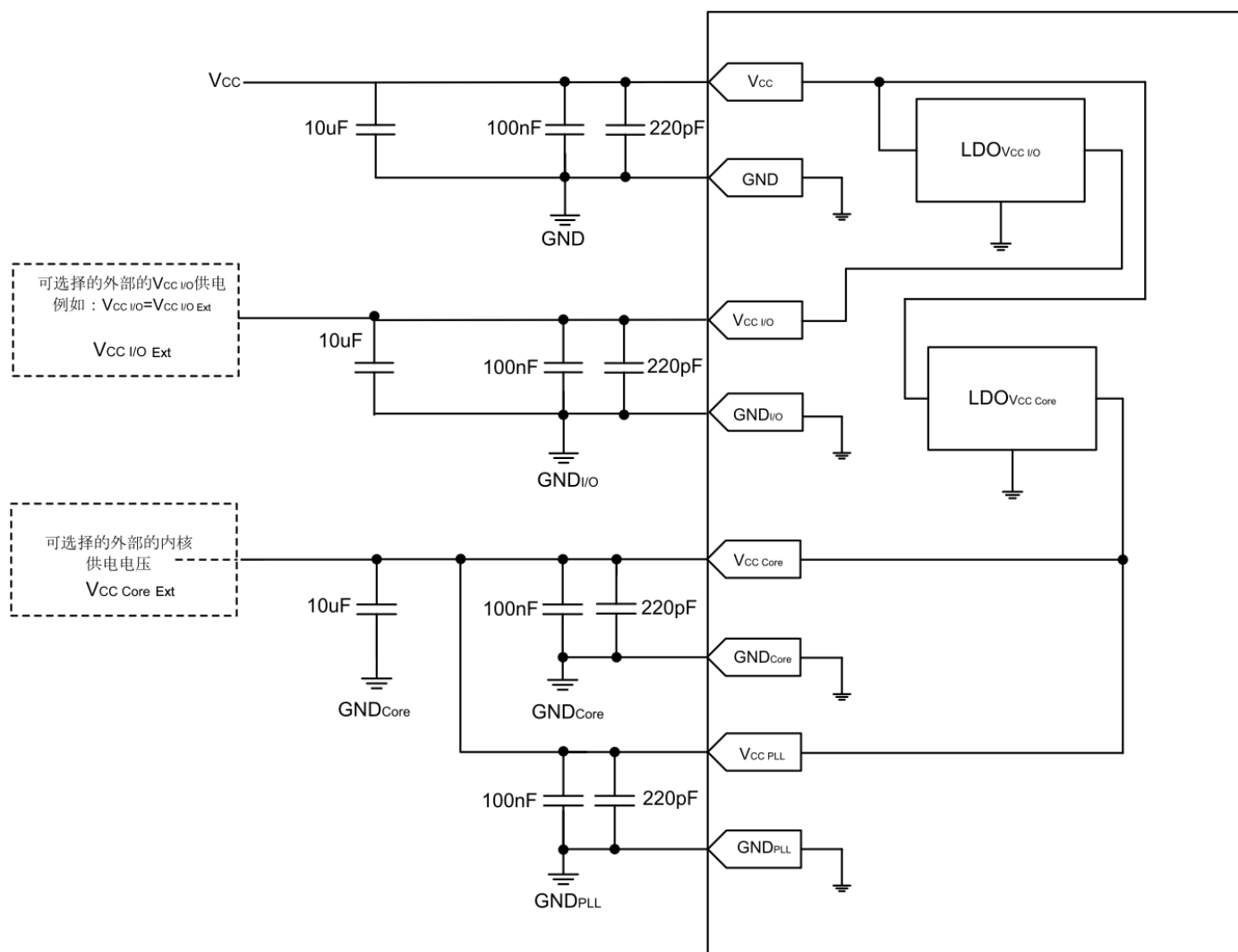


图3.2 CLM1200-0002电源供电

稳压电容建议：每个电源引脚并联100nF和220pF电容到地，另VCC,VCC I/O和VCC Core/VCC PLL到地分别并联10uF电容,总共需要3个10uF电容。

将GND，GNDPLL，GNDcore,和GNDI/O引脚连接到一个电位GND。

如果VCC I/O，VCC Core/VCC PLL的实际电压高于各自名义上的内部LDO的输出电压时，内部LDO将会自我失效。

3.2.2.时钟

引脚OSC_IN作为时钟源输入，外接25MHz的晶体或者振荡器。当CLM1200-0002的时钟由振荡器提供时，此时值得注意的是以太网PHY芯片的时钟需由CLM1200-0002输出时钟提供，具体使用方法参考引脚配置章节。25MHz的时钟源要求精度为25ppm以上。

引脚OSC_OUT外部晶体。当OSC_IN接入振荡器时，该引脚悬空。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
OSC_IN	I	OSC_IN	I		
OSC_OUT	O	OSC_OUT	O		

表3.6 时钟引脚

3.2.2.1.举例时钟供应原理图

时钟源的布局对于系统的EMC/EMI有最大的影响。虽然一个25MH时钟频率不要求大量的设计工作，但是以下规则有助于改善系统功能。

- ◆ 时钟源尽可能靠近以太网从站控制器布置；
- ◆ 时钟源尽可能靠近以太网从站控制器布置；
- ◆ 在这个区域的地层应该无缝；
- ◆ 电源对时钟源和以太网从站控制器时钟呈现低阻抗；
- ◆ 应该使用时钟元器件推荐的电容值；。
- ◆ 时钟源和以太网从站控制器时钟输入之间的电容量应该相同，具体数值取决于线路板的几何特性；
- ◆ CLM1200-0002的时钟源的精度为25ppm以上。

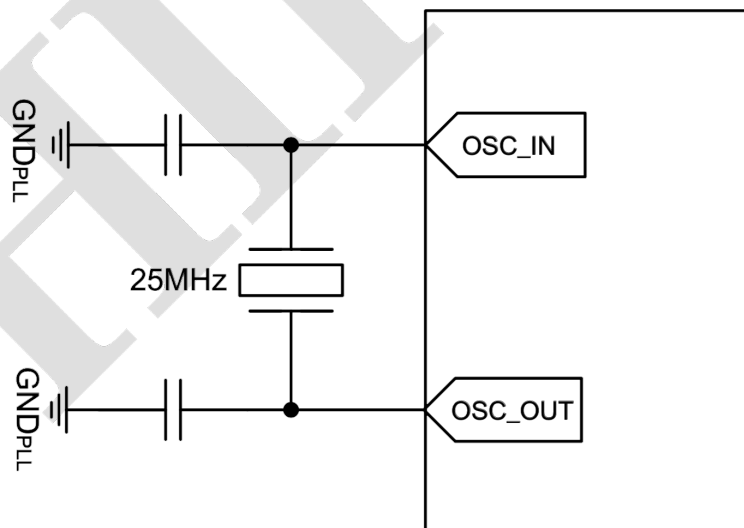


图3.3 CLM1200-0002石英晶体时钟源的连接

注意：负载电容的值取决于晶体的负载电容，以太网从站控制器的引脚电容COS，以及板子设计（电容典型值为12pF,此时CL=10pF）。

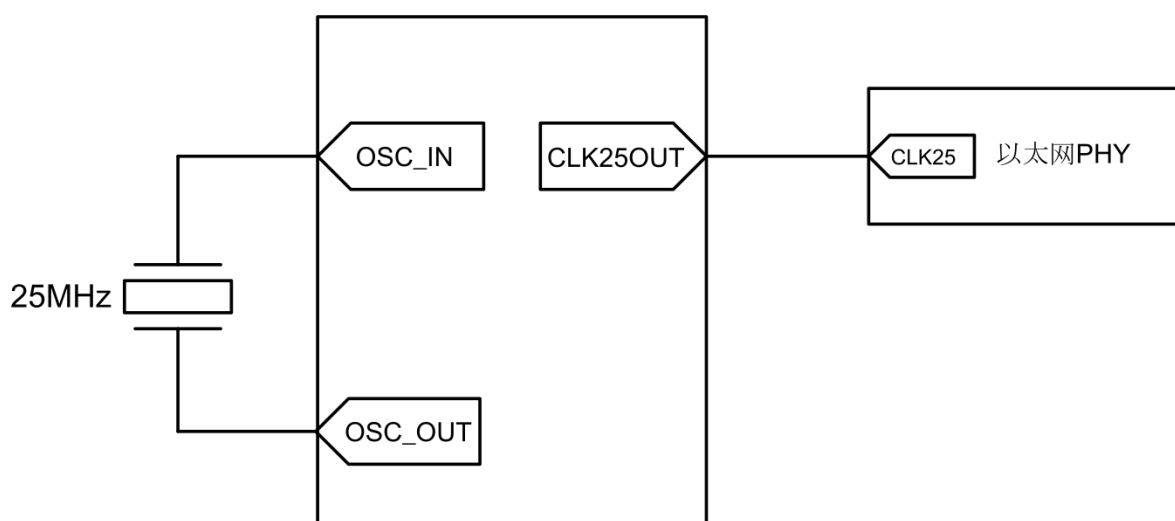


图3.4 CLM1200-0002和以太网从站PHY使用石英晶体时的连接

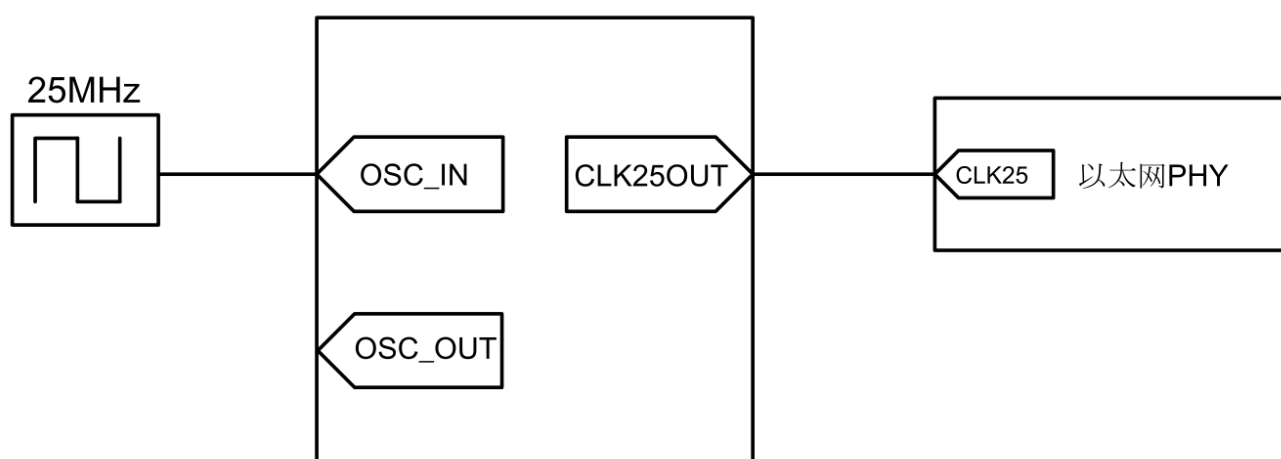


图3.5 CLM1200-0002和以太网从站PHY使用振荡器时的连接

3.2.3.复位引脚

引脚RESET是集电极开路输入/输出信号（低电平有效），表示CLM1200-0002的复位状态，以下三种情况可以引起CLM1200-0002内部复位：

1. 在上电之后进入复位状态；
2. 供电电压过低；
3. 由写复位寄存器0x0040触发一次复位。

内部复位时，RESET信号可以用于复位其它外围芯片，例如以太网PHY芯片。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RESET	BD	RESET	BD		3.3 kΩ PU

表3.7 复位引脚

3.2.3.1.举例复位引脚原理图

RESET信号由外部设备拉低时，CLM1200-0002也进入复位状态，RESET引脚连接如下图。

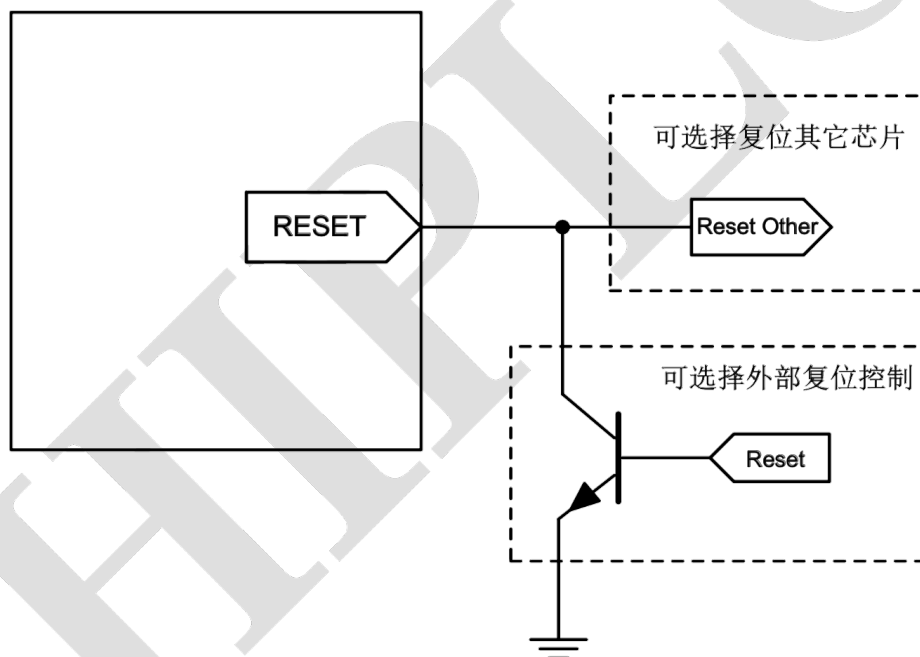


图3.6 RESET 引脚连接图

建议连接PHY复位引脚和微控制器到RESET引脚。为了确保PHY在CLM1200-0002复位时（失帧时），PHY芯片不会有交流，以及在无意识情况下，允许凭借以太网复位整个以太网从站器件。

3.2.4.RBIAS 引脚

CLM1200-0002的RBIAS引脚用于连接对LVDS-TX信号进行电流调节的偏压电阻，该引脚连接11kΩ电阻到地。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RBIAS		RBIAS			

表3.8 RBIAS 引脚

注意：如果仅仅MII接口被使用（没有LVDS接口使用），RBIAS电阻选取10-15kΩ。

3.2.4.1.举例RBIAS电阻原理图

LVDS的RBIAS电阻值为 $R_{BIAS}=11k\Omega$ 。

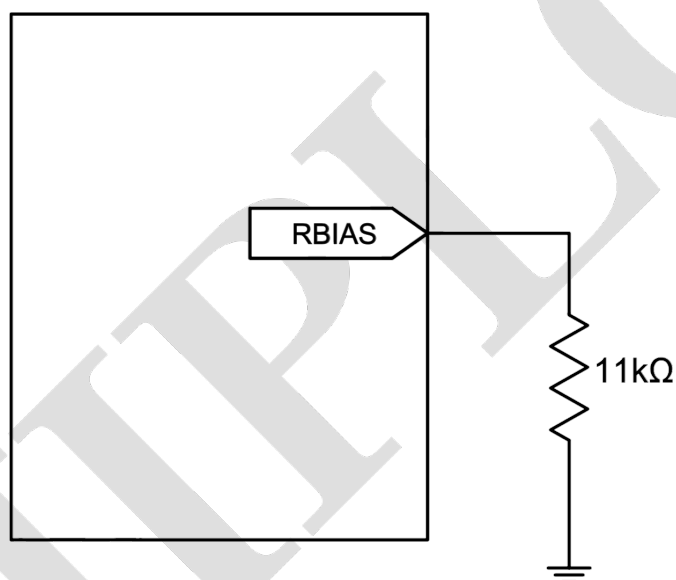


图3.7 LVDS 偏压电阻

3.2.5.配置信号引脚

配置信号引脚在上电时通过外接上拉或下拉电阻来配置CLM1200-0002。上电时，配置信号引脚作为输入由CLM1200-0002锁存配置信号信息。上电之后，这些引脚都有分配的操作功能，必要时引脚信号方向也可以改变。RESET信号指示上电配置完成。若未重新上电，在随后的复位阶段，CLM1200-0002不会再锁存配置信号信息，配置引脚一直作为状态输出。

外接下拉电阻时，配置信号为0；使用上拉电阻时，配置信号为1。一些配置信号引脚也可以外接LED作为状态输出引脚，LED的极性取决于需要配置的值。

3.2.5.1.举例配置信号输入/指示灯输出引脚原理图

如果配置信号为1，需要外接上拉电阻，引脚输出为0（低）时LED导通。如果配置信号为0，则需外接下拉电阻，引脚输出为1（高）时LED导通。如下图所示。

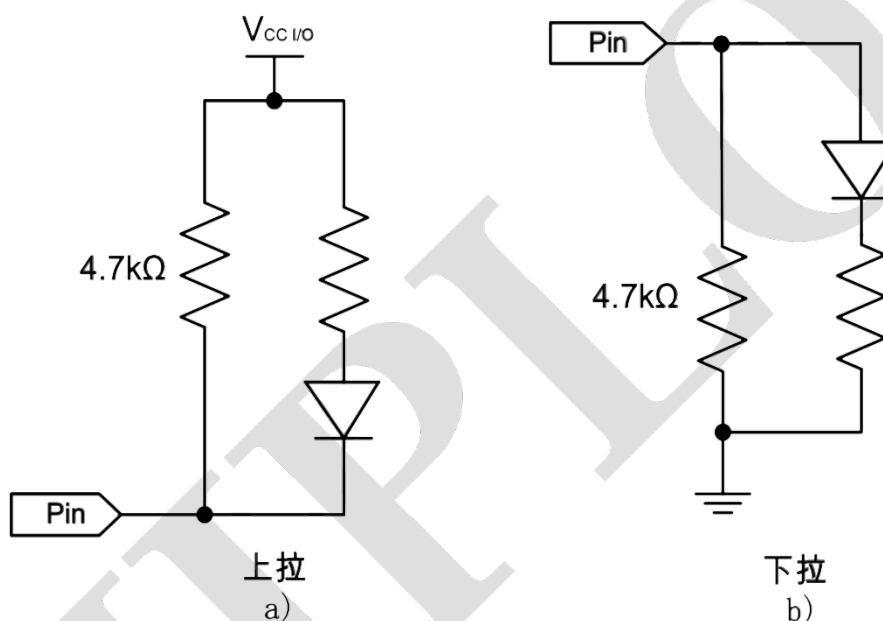


图3.8 输入/LED 输出引脚双功能配置连接

a)配置信号=1

b)配置信号=0

3.2.5.2.芯片模式

芯片模式(Chip mode)用于配置两个固定端口（端口0和端口1）的类型。芯片模式影响着可利用PDI信号的数量。芯片模式的引脚信息如下表所示。

描述	配置信号	引脚名称	寄存器	P_MODE[1:0]值
芯片模式	MODE[0]	LINKACT(0)/MODE[0]	0x0E00[0]	00 = LVDS/LVDS (端口0 = LVDS, 端口1 = LVDS) 01 = 保留
	MODE[1]	LINKACT(1)/MODE[1]	0x0E00[1]	10 = MII/LVDS (端口0 = MII, 端口1 = LVDS) 11 = LVDS/MII (端口0 = LVDS, 端口1 = MII)

表3.9 芯片模式

3.2.5.3.CPU_CLK模式

CLK_MODE可用于提供一个时钟信号给外部微处理器。如果CLK_MODE不是00,CPU_CLK将使用PDI[7]引脚,此时这个引脚不再用于任何PDI信号。CPU_CLK配置模式如下表所示。

描述	配置信号	引脚名称	寄存器	CLK_MODE[1:0]值
CPU_CLK模式	CLK_MODE[0]	PERR(0)/CLK_MODE[0]	0x0E00[2]	00 = off, PDI[7]/CPU_CLK引脚适用于 PDI
	CLK_MODE[1]	PERR(1)/CLK_MODE(1)	0x0E00[3]	01 = 25 MHz时钟输出在PDI[7]/CPU_CLK引脚 10 = 20 MHz时钟输出在PDI[7]/CPU_CLK引脚 11 = 10 MHz 时钟输出在PDI[7]/CPU_CLK引脚

表3.10 CPU_CLK模式

3.2.5.4.TX相位移动

MII接口的TX信号(TX_ENA,TX_D[3:0])的相位移动(0/10/20/30ns)配置通过C25_SHI[x]信号获得。为了便于后期调整,建议通过调整硬件选择支持所有的C25_SHI[1:0]配置。TX相位移动情况如下表所示。

描述	配置信号	引脚名称	寄存器	C25_SHI[1:0]值
TX相位移动	C25_SHI[0]	PDI[10]/TX_D[2]/C25_SHI[0]	0x0E00[4]	00 = MII接口的TX信号无延迟
	C25_SHI[1]	PDI[11]/TX_D[3]/C25_SHI[1]	0x0E00[5]	01 = MII接口的TX信号延迟10 ns 10 = MII接口的TX信号延迟 20 ns 11 = MII接口的TX信号延迟 30 ns

表3.11 TX相位偏移

3.2.5.5.CLK25OUT使能

工业以太网PHY芯片可以通过CLM1200-0002的PDI[6]/CLK25OUT引脚获取一个25MHz的时钟。这仅和芯片模式配置为10或11时相关。当芯片模式配置为00, 并且配置MII桥为端口3时, PDI[6]/CLK25OUT任何时候都可用于CLK25OUT。当芯片模式配置为00, 单未配置MII桥为端口3时, CLK25OUT不可用的, 此时忽略CLK25OUT使能。

CLK25OUT的具体情况如下表所示。

描述	配置信号	引脚名称	寄存器	C25_ENA值
CLK25OUT使能	C25_ENA	PDI[9]/TX_D[1]/C25_ENA	0x0E00[6]	0 = 失能, PDI[6]/CLK25OUT引脚适用于PDI 1 = 使能, PDI[6]/CLK25OUT引脚输出25MHz时钟

表3.12 CLK25OUT使能

3.2.5.6.PHY地址偏移

CLM1200-0002支持0或16两种PHY地址偏移配置。

PHY地址偏移配置, 如下表所示。

描述	配置信号	引脚名称	寄存器	PHYAD_OFF值
PHY地址偏移	PHYAD_OFF	PDI[8]/TX_D[0]/PHYAD_OFF	0x0E00[7]	0 = PHY地址偏移 0 1 = PHY地址偏移 16

表3.13 PHY地址偏移

3.2.5.7.SII EEPROM内存大小

EEPROM_SIZE决定了EEPROM的内存大小(和I²C地址字节数目)。在EEPROM加载开始时, EEPROM_SIZE取样。EEPROM_SIZE配置如下表所示。

描述	配置信号	引脚名称	寄存器	EEPROM_SIZE值
EEPROM容量	EEPROM_SIZE	RUN/EEPROM_SIZE	0x0502[7]	0 = 单字节地址 (1 Kbit到16 Kbit EEPROM) 1 = 双字节地址(32 Kbit到4 Mbit EEPROM)

表3.14 SII EEPROM内存大小

3.2.6.SII EEPROM接口引脚

EEPROM_CLK为EEPROM I²C通信时钟信号（集电极开路输出）。

EEPROM_DATA为EEPROM I²C通信数据信号（集电极开路输出）。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
EEPROM_CLK	BD	EEPROM_CLK	BD		3.3 kΩ PU
EEPROM_DATA	BD	EEPROM_DATA	BD		3.3 kΩ PU

表3.15 SII EEPROM接口

3.2.7.分布时钟SYNC/LATCH和MII管理引脚

SYNC/LATCH[x]是作为分布式时钟同步信号（Distributed Clocks SyncSignal）输出还是自锁信号（LatchSignal）输入,取决于SII EEPROM的配置。如果一个MII接口被使用，那么SYNC/LATCH[1]/MI_DATA引脚将作为以太网PHY管理接口数据信号使用，即MI_DATA。EEPROM加载前，SYNC/LATCH信号会一直处于高阻态，不会被驱动，其中MI_DATA独立于EEPROM加载状态。

注意：MI_DATA为PHY管理接口数据，连接外部上拉电阻，推荐阻值4.7kΩ。

引脚		没有MII接口使用		MII接口使用		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向		
SYNC/LATCH[0]	BD	SYNC/	I/O	SYNC/	I/O		
SYNC/LATCH[1]/	BD	SYNC/	I/O	MI_DATA	BD		

表3.16 DC SYNC/LATCH和MII管理引脚

3.2.8.LED信号

所有的配置信号引脚也可作为状态输出引脚而外接LED。LED的极性取决于需要配置的值：如果配置信号为1，需要外接上拉电阻，引脚输出为0（低）时发光二极管（LED）导通；如果配置信号为0，引脚需要外接下拉电阻，引脚输出为1（高）时发光二极管（LED）导通。

引脚		信号		配置	内部上拉/下拉电阻
名称	方向	信号	方向		
RUN/EEPROM_SIZE	BD	RUN	O	EEPROM_SIZE	WPD
LINKACT(0)/MODE[0]	BD	LINKACT(0)	O	MODE[0]	WPD
PERR(0)/CLK_MODE[0]	BD	PERR(0)	O	CLK_MODE[0]	WPD
LINKACT(1)/MODE[1]	BD	LINKACT(1)	O	MODE[1]	WPD
PERR(1)/CLK_MODE[1]	BD	PERR(1)	O	CLK_MODE[1]	WPD

表3.17 LED引脚

RUN/EEPROM_SIZE引脚中RUN信号为运行指示灯信号。在EEPROM存取加载开始时，SII EEPROM 内存大小配置 (1 Kbit-16 Kbit或者32 KBit-4 Mbit)进行取样。否则引脚就会输出RUN状态信号，此时外接LED为运行指示灯。如果引脚配置拉低，则引脚输出高电平有效，如果引脚配置拉高，则引脚输出低电平有效。

LINKACT(x)/MODE(x)引脚在上电时，作为芯片模式(Chip MODE)配置引脚输入，然后引脚输出逻辑端口x的LINKACT(x)状态信号，引脚外接指示灯（LED）来表示相应连接状态和是否有数据传输活动（LED灭表示没有连接，LED亮表示连接但没有数据传输，LED闪烁表示连接且有数据在传输）。如果引脚拉低，则引脚LINKACT(x)输出高电平有效，如果管脚拉高，则引脚LINKACT(x)输出低电平有效。

PERR(x)/CLK_MODE(x)引脚上电时，作为CPU_CLK模式配置引脚输入，然后引脚输出相应逻辑端口x的PERR (x) 状态信号，引脚外接指示灯（LED）表示相应故障状态。如果引脚拉低，则引脚PERR(x)输出高电平有效，如果管脚拉高，则引脚PERR(x)输出低电平有效。

注意：PERR(x)引脚的外接指示灯（LED）并不是以太网指示说明的部分。这些指示灯是为了测试和排除故障。当芯片物理层发生接收故障时，这些PERR(x)引脚的外接指示灯就会闪烁。不能混淆PERR(x)的指示灯和应用层故障指示灯（ERR LED），故障指示灯不是被以太网从站控制器决定的，而是由微控制器控制的。

3.2.9. 物理端口和PDI引脚

CLM1200-0002引脚分配是为了获得芯片规模和功能的最佳组合，因此一些引脚根据芯片模式，可以用作交流或者PDI功能进行复用。选定的芯片模式也会减少作为PDI引脚的可能。

CLM1200-0002有18个PDI引脚（PDI[17:0]）。将其分为2组:PDI[7:0]和PDI[17:8]。PDI[7:0]总是能适用于PDI信号。PDI[17:8]在芯片模式00下适用于PDI信号，在芯片模式10/11下则用于MII信号。

芯片模式和PDI信号可能的组合如下表所示。

芯片模式	SPI	数字量I/O	LVDS桥 (逻辑端口3)	MII桥 (逻辑端口3)
模式00	SPI +12 Bit	16 Bit I/O+控制/状态信号	LVDS 桥+12 Bit	MII桥 +CLK25OUT +1Bit
模式01/11	SPI +12 Bit	8 Bit I/O	LVDS桥 +2 Bit GPO	不可用

表3.18 PDI和芯片模式的组合配置

3.2.9.1. MII信号

下表描述了CLM1200-0002所使用的MII接口信号。

信号	方向	描述
LINK_MII(x)	I	100Mbit/s的全双工连接状态
RX_CLK(x)	I	接收时钟
RX_DV(x)	I	接收数据有效
RX_D(x)[3:0]	I	接收数据
RX_ERR(x)	I	接收出错
TX_ENA(x)	O	发送使能
TX_D(x)[3:0]	O	发送数据
MIICLK	O	PHY管理接口时钟 (MDC)

表3.19 MII信号

3.2.9.1.1.CLK25OUT信号

当CLM1200-0002采用外接晶体获取时25MHz钟源时，其需要通过CLK25OUT引脚为以太网PHY芯片提供一个25MHz的时钟源信号。如果CLM1200-0002使用振荡器作为25MHz时钟源输入，以太网PHY芯片必须通过CLK25OUT引脚获取25MHz时钟。在芯片模式00下,除非MII桥端口通过SII EEPROM被配置，否则PDI[6]/CLK25OUT引脚不能作为CLK25OUT信号使用。当MII桥端口被配置时，不管C25_ENA引脚是否使能，CLK25OUT信号都是可用的。在芯片模式为10/11时，可通过使能配置信号C25_ENA，使PDI[6]/CLK25OUT引脚作为CLK25OUT信号。

如果使能信号被配置使能，在外部或者以太网复位期间，CLK25OUT都会提供一个时钟信号，仅当上电复位期间时钟输出关闭。

3.2.9.1.2. 举例MII连接原理图

要特别注意TX信号移动和PHY地址的配置。

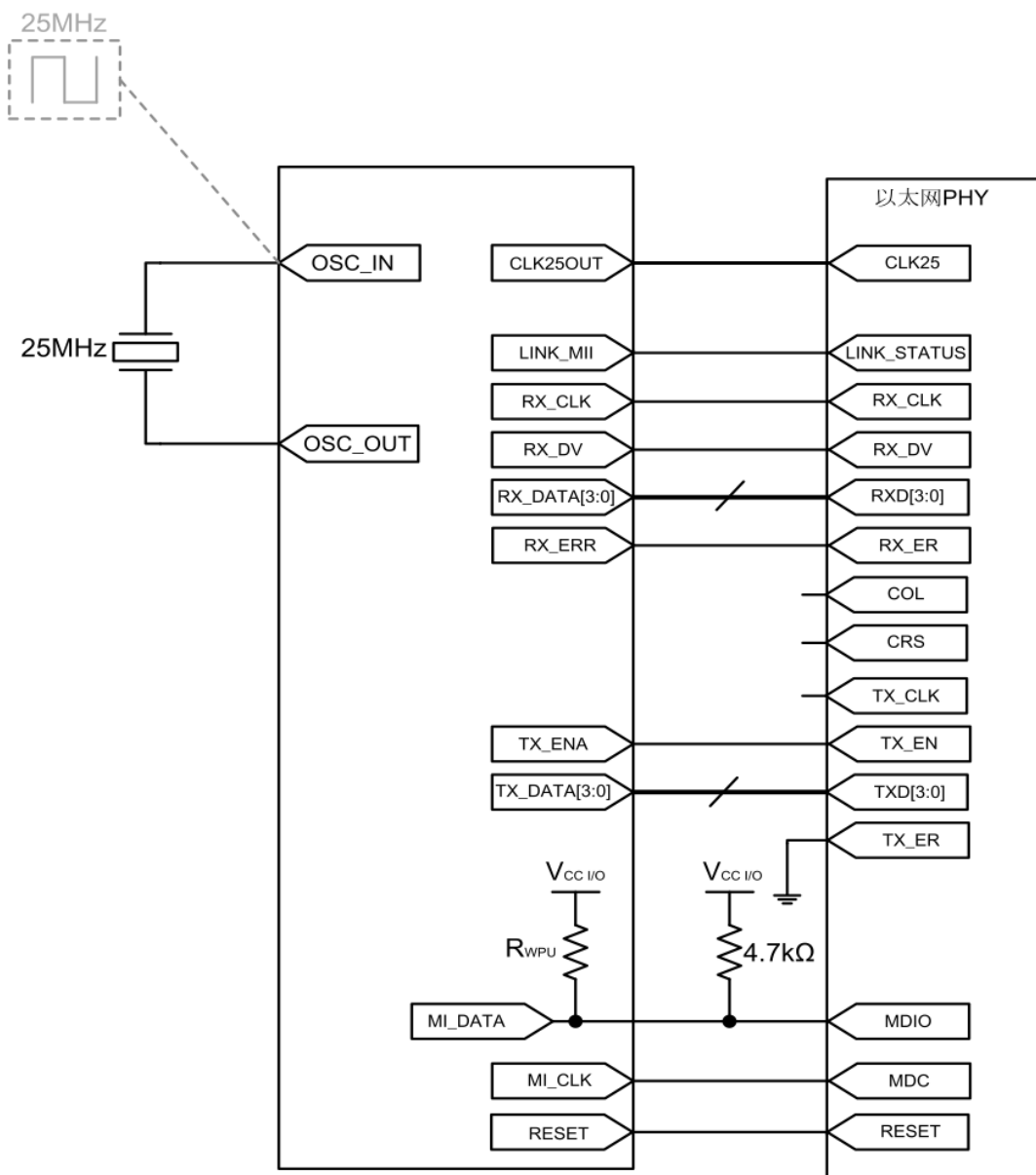


图3.9 PHY连接

3.2.9.2.LVDS信号

CLM1200-0002的LVDS端口具有开路故障安全。LVDS可以满足快速以太网100Mbit/s数据传输的波特率。具体信号描述如下表所示。

信号	方向	描述
LVDS(x)-RX+ LVDS(x)-RX-	I	LVDS接口接收信号。即使端口未配置成LVDS接口，LVDS(x) -RX+包含了一个内部下拉电阻 R_{LI+} ，LVDS(x) -RX-包含了一个内部上拉电阻 R_{LI-} 。
LVDS(x)-TX+ LVDS(x)-TX-	O	LVDS接口发送信号
RBIAS		用于对LVDS-TX信号进行电流调节的偏压电阻

表3.20 LVDS信号

3.2.9.2.1.举例LVDS端口连接原理图

每对LVDS线对只需要跨接一个100Ω的负载电阻 R_L 。仅在LVDS端口需要，且靠近LVDS_RX放置。

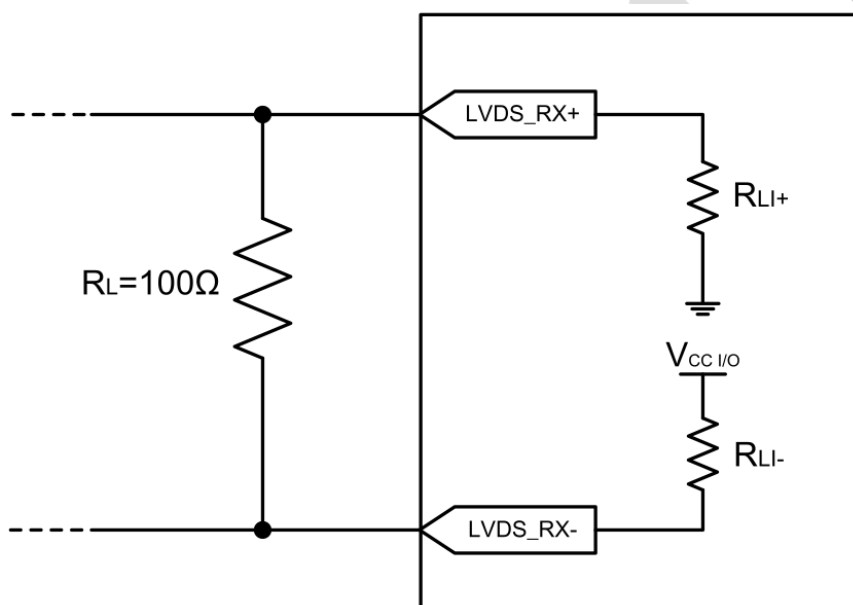


图3.10 LVDS端口接收端

3.2.9.3. PDI引脚

PDI[x]信号的功能取决于存储在器件SII EEPROM中的配置。EEPROM加载前，PDI信号都会处于高阻态不会被驱动。数字量输出尤其需要注意这点。没有PDI被配置，则PDI信号都会处于高阻态不会被驱动，PDI控制寄存器0x0140=0x00。

CLM1200-0002可通过引脚PDI[7]/CPU_CLK提供给微控制器一个时钟信号。CPU_CLK的输出设定值由CLK_MODE配置决定。当CPU_CLK使能时，则PDI[7]不能作为PDI使用，比如此时I/O[7]不可用作数字量I/O的PDI。

如果被配置，在外部或者以太网复位期间，CPU_CLK提供一个时钟信号，仅当上电复位期间时钟输出关闭。

3.2.9.4.端口0/1和PDI[17:8]引脚

下表为端口0/1和用于端口0和1的PDI信号。

引脚		配置	MODE[1:0]=00		内部上拉/下拉电阻
名称	方向		信号	方向	
PDI[8]/TX_D[0]/PHYAD_OFF	BD	PHYAD_OFF	PDI[8]	BD	
PDI[9]/TX_D[1]/C25_ENA	BD	C25_ENA	PDI[9]	BD	
PDI[10]/TX_D[2]/C25_SHI[0]	BD	C25_SHI[0]	PDI[10]	BD	
PDI[11]/TX_D[3]/C25_SHI[1]	BD	C25_SHI[1]	PDI[11]	BD	
PDI[12]/RX_CLK	BD		PDI[12]	BD	
PDI[13]/RX_DV	BD		PDI[13]	BD	
PDI[14]/RX_D[0]	BD		PDI[14]	BD	
PDI[15]/RX_D[1]	BD		PDI[15]	BD	
PDI[16]/RX_D[2]	BD		PDI[16]	BD	
PDI[17]/RX_D[3]	BD		PDI[17]	BD	
LVDS{1}-RX-/LINK_MII	LI-/I		LVDS(1)-RX-	LI-	27 kΩ PU
LVDS{1}-RX+/RX_ERR	LI+/I		LVDS(1)-RX+	LI+	27 kΩ PD
LVDS{1}-TX-/MI_CLK	LO-/O		LVDS(1)-TX-	LO-	
LVDS{1}-TX+/TX_ENA	LO+/O		LVDS(1)-TX+	LO+	
LVDS{0}-RX-	LI-		LVDS(0)-RX-	LI-	27 kΩ PU
LVDS{0}-RX+	LI+		LVDS(0)-RX+	LI+	27 kΩ PD
LVDS{0}-TX-	LO-		LVDS(0)-TX-	LO-	
LVDS{0}-TX+	LO+		LVDS(0)-TX+	LO+	

表3.21 端口0/1和PDI信号(配置芯片模式00)

引脚		MODE[1:0]=10		MODE[1:0]=10		内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向	
PDI[8]/TX_D[0]/PHYAD_OFF	BD	TX_D(0)[0]	O	TX_D(1)[0]	O	
PDI[9]/TX_D[1]/C25_ENA	BD	TX_D(0)[1]	O	TX_D(1)[1]	O	
PDI[10]/TX_D[2]/C25_SHI[0]	BD	TX_D(0)[2]	O	TX_D(1)[2]	O	
PDI[11]/TX_D[3]/C25_SHI[1]	BD	TX_D(0)[3]	O	TX_D(1)[3]	O	
PDI[12]/RX_CLK	BD	RX_CLK(0)	I	RX_CLK(1)	I	
PDI[13]/RX_DV	BD	RX_DV(0)	I	RX_DV(1)	I	
PDI[14]/RX_D[0]	BD	RX_D(0)[0]	I	RX_D(1)[0]	I	
PDI[15]/RX_D[1]	BD	RX_D(0)[1]	I	RX_D(1)[1]	I	
PDI[16]/RX_D[2]	BD	RX_D(0)[2]	I	RX_D(1)[2]	I	
PDI[17]/RX_D[3]	BD	RX_D(0)[3]	I	RX_D(1)[3]	I	
LVDS{1}-RX-/LINK_MII	LI-/I	LINK_MII(0)	I	LINK_MII(1)	I	27 kΩ PU
LVDS{1}-RX+/RX_ERR	LI+/I	RX_ERR(0)	I	RX_ERR(1)	I	27 kΩ PD
LVDS{1}-TX-/MI_CLK	LO-/O	MI_CLK	O	MI_CLK	O	
LVDS{1}-TX+/TX_ENA	LO+/O	TX_ENA(0)	O	TX_ENA(1)	O	
LVDS{0}-RX-	LI-	LVDS(1)-RX-	LI-	LVDS(0)-RX-	LI-	27 kΩ PU
LVDS{0}-RX+	LI+	LVDS(1)-RX+	LI+	LVDS(0)-RX+	LI+	27 kΩ PD
LVDS{0}-TX-	LO-	LVDS(1)-TX-	LO-	LVDS(0)-TX-	LO-	
LVDS{0}-TX+	LO+	LVDS(1)-TX+	LO+	LVDS(0)-TX+	LO+	

表3.22 端口0/1和PDI信号(配置芯片模式10/11)

3.2.9.5.PDI[7:0]信号

下表展示了PDI[7:0]信号。所有的PDI引脚方向取决于存储在SII EEPROM中的PDI配置。

引脚		PDI, C25_ENA=0, CLK_MODE=00		PDI, C25_ENA=1, CLK_MODE/=00		内部上拉/ 下拉电阻
名称	方向	信号	方向	信号	方向	
PDI[0]	BD/LO+	PDI[0]	BD/LO+	PDI[0]	BD/LO+	
PDI[1]	BD/LO-	PDI[1]	BD/LO-	PDI[1]	BD/LO-	
PDI[2]	BD/LI+	PDI[2]	BD/LI+	PDI[2]	BD/LI+	27 kΩ PD
PDI[3]	BD/LI-	PDI[3]	BD/LI-	PDI[3]	BD/LI-	27 kΩ PU
PDI[4]	BD	PDI[4]	BD	PDI[4]	BD	
PDI[5]	BD	PDI[5]	BD	PDI[5]	BD	
PDI[6]/CLK25OUT	BD	PDI[6]	BD	CLK25OUT	O	
PDI[7]/CPU_CLK	BD	PDI[7]	BD	CPU_CLK	O	

表3.23 PDI引脚

3.2.10. PDI接口

CLM1200-0002芯片的应用数据接口称为过程数据接口 (Process Data Interface) 或物理设备接口 (Physical Device Interface) ,即PDI接口。根据选择的PDI (SII EEPROM) 对PDI信号进行引脚分配。PDI的选择和PDI信号引脚分配服从端口配置约束。数字量I/O和SPI接口的PDI在任何配置中都是可用的, 但是数字量I/O的字节量根据配置可以减少。MII桥端口的PDI仅在芯片模式为00时可用。

3.2.10.1.数字量I/O接口

PDI信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	I/O[0]	BD	I/O[0]	BD
PDI[1]	I/O[1]	BD	I/O[1]	BD
PDI[2]	I/O[2]	BD	I/O[2]	BD
PDI[3]	I/O[3]	BD	I/O[3]	BD
PDI[4]	I/O[4]	BD	I/O[4]	BD
PDI[5]	I/O[5]	BD	I/O[5]	BD
PDI[6]/CLK25OUT	I/O[6]	BD	I/O[6]	BD
PDI[7]/CPU_CLK	I/O[7]	BD	I/O[7]	BD
PDI[8]	I/O[8]	BD	MII	
PDI[9]	I/O[9]	BD		
PDI[10]	I/O[10]	BD		
PDI[11]	I/O[11]	BD		
PDI[12]	I/O[12]	BD		
PDI[13]	I/O[13]	BD		
PDI[14]	I/O[14]	BD		
PDI[15]	I/O[15]	BD		
PDI[16]	OUTVALID/WD_TRIG	O		
PDI[17]	LATCH_IN/SOF	I/O		

表3.24 数字量I/O接口的映射

3.2.10.2.SPI接口引脚分

PDI信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	SPI_CLK	I	SPI_CLK	I
PDI[1]	SPI_SEL	I	SPI_SEL	I
PDI[2]	SPI_DI	I	SPI_DI	I
PDI[3]	SPI_DO	O	SPI_DO	O
PDI[4]	SPI_IRQ	O	SPI_IRQ	O
PDI[5]	EEPROM_LOADED	O	EEPROM_LOADED	O
PDI[6]/CLK25OUT	GPO[0]	O	GPO[0]	O
PDI[7]/CPU_CLK	GPO[1]	O	GPO[1]	O
PDI[8]	GPO[2]	O	MII	
PDI[9]	GPO[3]	O		
PDI[10]	GPO[4]	O		
PDI[11]	GPO[5]	O		
PDI[12]	GPO[6]	O		
PDI[13]	GPO[7]	O		
PDI[14]	GPO[8]	O		
PDI[15]	GPO[9]	O		
PDI[16]	GPO[10]	O		
PDI[17]	GPO[11]	O		

表3.25 SPI接口的映射

3.2.10.3.LVDS/MII桥端口(逻辑端口3)

桥端口是通过SII EEPROM进行配置的逻辑端口3，在上电后端口3不能直接使用。EEPROM成功加载时，桥端口可用。端口3的回路最初关闭，必须通过主站打开。桥端口可以配置成LVDS或MII接口。MII桥端口仅在芯片模式为00时可用。PERR(3)和LINKACT(3)的极性为高电平有效。

PDI信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	LVDS(3)_TX+	LO+	LVDS(3)_TX+	LO+
PDI[1]	LVDS (3)_TX-	LO-	LVDS (3)_TX-	LO-
PDI[2]	LVDS (3)_RX+	LI+	LVDS (3)_RX+	LI+
PDI[3]	LVDS (3)_RX-	LI-	LVDS (3)_RX-	LI-
PDI[4]	PERR(3)	O	PERR(3)	O
PDI[5]	LINKACT(3)	O	LINKACT(3)	O
PDI[6]/CLK25OUT	GPO[0]	O	GPO[0]	O
PDI[7]/CPU_CLK	GPO[1]	O	GPO[1]	O
PDI[8]	GPO[2]	O	MII	
PDI[9]	GPO[3]	O		
PDI[10]	GPO[4]	O		
PDI[11]	GPO[5]	O		
PDI[12]	GPO[6]	O		
PDI[13]	GPO[7]	O		
PDI[14]	GPO[8]	O		
PDI[15]	GPO[9]	O		
PDI[16]	GPO[10]	O		
PDI[17]	GPO[11]	O		

表3.26 LVDS桥信号的映射

PDI信号	MODE[1:0]=00	
	信号	方向
PDI[0]	TX_ENA(3)	O
PDI[1]	MI_CLK	O
PDI[2]	RX_ERR(3)	I
PDI[3]	LINK_MII(3)	I
PDI[4]	PERR(3)	O
PDI[5]	LINKACT(3)	O
PDI[6]/CLK25OUT	CLK25OUT	O
PDI[7]/CPU_CLK	GPO[1]	O
PDI[8]	TX_D(3)[0]	O
PDI[9]	TX_D(3)[1]	O
PDI[10]	TX_D(3)[2]	O
PDI[11]	TX_D(3)[3]	O
PDI[12]	RX_CLK(3)	I
PDI[13]	RX_DV(3)	I
PDI[14]	RX_D(3)[0]	I
PDI[15]	RX_D(3)[1]	I
PDI[16]	RX_D(3)[2]	I
PDI[17]	RX_D(3)[3]	I

表3.27 MII桥接口的映射

3.2.11. 测试模式引脚

TESTMODE引脚为用于测试的保留引脚，连接到地。

引脚		信号		配置	内部上拉/下拉电阻
名称	方向	信号	方向		
TESTMODE	I	TESTMODE	I		WPD

表3.28 TESTMODE引脚

4. 内存映射

工业以太网从控制器拥有64Kbyte的地址空间。前4Kbyte的地址空间(0x0000:0x0FFF)分配给了寄存器。过程数据RAM区从地址0x1000开始，结束于地址0x13FF，大小为1Kbyte。

下表是可用寄存器的一个总结：

地址	长度(Byte)	以太网从站控制器描述	CLM1200-000
0	1	类型	x
1	1	修订	x
0x0002:0x0003	2	编译	x
4	1	支持FMMU	x
5	1	支持同步管理器SM (SyncManager)	x
6	1	RAM大小	x
7	1	端口描述	x
0x0008:0x0009	2	以太网从站控制器特性支持	x
0x0010:0x0011	2	配置站点地址	x
0x0012:0x0013	2	配置站点别名	x
20	1	寄存器写使能	x
21	1	寄存器写保护	x
30	1	以太网从站控制器写使能	x
31	1	以太网从站控制器写保护	x
40	1	以太网从站控制器复位以太网	x
41	1	以太网从站控制器复位PDI	-
0x0100:0x0101	2	以太网从站控制器DL控制	x
0x0102:0x0103	2	扩展以太网从站控制器DL 控制	x
0x0108:0x0109	2	物理读/写偏移	x
0x0110:0x0111	2	以太网从站控制器DL状态	x
120	5 bits [4:0]	AL控制	x
0x0120:0x0121	2	AL控制	x
130	5 bits [4:0]	AL状态	x
0x0130:0x0131	2	AL状态	x
0x0134:0x0135	2	AL状态码	x
138	1	运行LED覆盖	-
139	1	错误LED覆盖	-
140	1	PDI控制	x
141	1	以太网从站控制器配置	x
0x014E:0x014F	2	PDI信息	-
150	1	PDI配置	x
151	1	DC Sync/Latch接口配置	x
0x0152:0x0153	2	扩展PDI配置	x
0x0200:0x0201	2	以太网事件屏蔽	x

0x0204:0x0207	4	PDI AL事件屏蔽	x
0x0210:0x0211	2	以太网事件请求	x
0x0220:0x0223	4	AL事件请求	x
0x0300:0x0307	4*2	接收 (RX) 错误计数器 [3:0]	x
0x0308:0x030B	4*1	转发接收 (RX) 错误计数器 [3:0]	x
30C	1	以太网处理单元错误计数器	-
30D	1	PDI错误计数器	-
30E	1	PDI错误码	-
0x0310:0x0313	4*1	链接丢失计数器[3:0]	x
0x0400:0x0401	2	看门狗分频器	x
0x0410:0x0411	2	PDI看门狗计时器	x
0x0420:0x0421	2	过程数据看门狗计时器	x
0x0440:0x0441	2	过程数据看门狗状态	x
442	1	过程数据看门狗计数器	x
443	1	PDI看门狗计数器	x
0x0500:0x050F	16	SII EEPROM接口	x
0x0510:0x0515	6	MII管理器接口	x
0x0516:0x0517	2	MII管理器操作状态	-
0x0518:0x051B	4	PHY端口状态[3:0]	-
0x0600:0x06FC	16*13	FMMU[15:0]	3
0x0800:0x087F	16*8	同步管理器SM[15:0]	4
0x0900:0x090F	4*4	分布时钟DC – 接收时间	x
0x0910:0x0917	8	DC –系统时间	x
0x0918:0x091F	8	DC – EPU接收时间	x
0x0920:0x0927	8	DC –系统时间偏移	x
0x0928:0x092B	4	DC –系统时间延迟	x
0x092C:0x092F	4	DC –系统处理时差	x
0x0930:0x0931	2	DC –速度计数器开始	x
0x0932:0x0933	2	DC –速度计数器差异	x
934	1	DC –系统时差滤波深度	x
935	1	DC –速度计数器滤波深度	x
936	1	DC –接收时间锁存模式	x
980	1	DC –周期单元控制	x
981	1	DC –激活	x
0x0982:0x0983	2	DC –SYNC信号脉冲长度	x
984	1	DC –激活状态	-
98E	1	DC – SYNC0信号状态	x
98F	1	DC – SYNC1信号状态	x
0x0990:0x0997	8	DC –下一个周期操控时间/下一个SYNC0脉冲	x

0x0998:0x099F	8	DC – 下一个SYNC1信号脉冲	x
0x09A0:0x09A3	4	DC – SYNC0周期时间	x
0x09A4:0x09A7	4	DC – SYNC1周期时间	x
9A8	1	DC – Latch0 控制	x
9A9	1	DC – Latch1控制	x
9AE	1	DC – Latch0状态	x
9AF	1	DC – Latch1状态	x
0x09B0:0x09B7	8	DC – Latch0上升沿	x
0x09B8:0x09BF	8	DC – Latch0下降沿	x
0x09C0:0x09C7	8	DC – Latch1上升沿	x
0x09C7:0x09CF	8	DC – Latch1下降沿	x
0x09F0:0x09F3	4	DC – 以太网缓存变化事件时间	-
0x09F8:0x09FB	4	DC – PDI缓存开始事件时间	-
0x09FC:0x09FF	4	DC – PDI缓存变化事件时间	-
0x0E00:0x0E03	4	上电值[Bits]	8
0x0E00:0x0E07	8	产品ID	-
0x0E08:0x0E0F	8	厂商ID	-
E10	1	以太网从站控制器健康状态	-
0x0F00:0x0F03	4	数字量I/O输出数据	x
0x0F10:0x0F17	8	通用功能输出数据[Byte]	2
0x0F18:0x0F1F	8	通用功能输入数据[Byte]	-
0x0F80:0x0FFF	128	使用RAM	x
0x1000:0x1003	4	数字量I/O接口输入数据	io
0x1000 ff.		过程数据RAM [Kbyte]	1

表4.1 CLM1200-0002寄存器分布

x: 可用

-: 不可用

io: PDI接口的数字I/O被选中时，可用

5. Electrical Specifications

5.1. Absolute Maximum Conditions

Symbol	Parameter	Condition	Min	Max	Units
VCC-VSS	Supply voltage for internal LDO			5.5V	V

Table5.1 Absolute Maximum Conditions

5.2. Operating Conditions

5.2.1. Power Supply

Symbol	Parameter	Min	Typ	Max	Unit
VCC	Power supply	3.0	5.0	5.5	V
VCC I/O	I/O power supply	3.0	3.3	5.5	V
VCC Core	Logic power supply	1.7	1.8	1.98	V
VCC PLL	PLL power supply	1.7	1.8	1.98	V
VCC I/O Ext	External I/O power supply	3.3	3.3	5.5	V
VCC Core Ext	External logic power supply	1.8	1.8	5.5	V
VCC PLL Ext	External PLL power supply	1.8	1.8	5.5	V

Table5.2 Power Supply

5.2.2. Electrical Characteristics

Symbol	Parameter	Condition	Min	Typ	Max	Units
VCC I/O LDO	Internal LDO output voltage $V_{CC\ I/O}$			3.2		V
VCC Core	Internal LDO output voltage V_{CC}			1.8		V
VReset I/O	Reset threshold for $V_{CC\ I/O}$			2.9		V
VIL	Low level input voltage	a) $2.97 \leq V_{CC\ I/O}$	-0.3			V
		b) $4.5V \leq V_{CC\ I/O}$	-0.3		$0.3 \times V_{CC\ I/O}$	
VIH	High level input voltage	a) $2.97 \leq V_{CC\ I/O}$	2		$V_{CC\ I/O} + 0.3$	V
		b) $4.5V \leq V_{CC\ I/O}$	$0.7 \times V_{CC\ I/O}$		$V_{CC\ I/O} + 0.3$	
VHYS	Schmitt trigger hysteresis	$V_{t+} - V_{t-}$	$0.1 \times V_{CC\ I/O}$		$0.4 \times V_{CC\ I/O}$	V
VOL	Low level output voltage	a) $2.97 \leq V_{CC\ I/O}$			0.4	V
		b) $4.5V \leq V_{CC\ I/O}$			0.5	
VOH	High level output voltage	a) $2.97 \leq V_{CC\ I/O}$	2.4			V
		b) $4.5V \leq V_{CC\ I/O}$	$V_{CC\ I/O} - 0.8$			
VOD	LVDS differential output voltage	$R_L = 100\ \Omega$ $R_{BIAS} = 11\ k\Omega$		383		mV
ΔV_{OD}	Change in V_{OD} between 1 and 0	$R_L = 100\ \Omega$ $R_{BIAS} = 11\ k\Omega$			± 50	mV
VOC	LVDS common mode output			1.28		V
ΔV_{OC}	Change in V_{OC} between 1 and 0				± 50	mV
VID	LVDS differential input voltage		100			mV
VIC	LVDS input voltage range		0		2.4	V
IOH	Output High current				4	mA
IOL	Output Low current				-4	mA
IIL	Input leakage current				± 10	μA
IDD	Static supply current				1	μA
RPU	Internal pull-up resistor		2.2	2.9	3.3	$k\Omega$
RWPU	Weak internal pull-up resistor	a) $V_{CC\ I/O} = 3.3V$	75	118	185	$k\Omega$
		b) $V_{CC\ I/O} = 5V$	50	76	115	
RWPD	Weak internal pull-down resistor	a) $V_{CC\ I/O} = 3.3V$	61	104	180	$k\Omega$
		b) $V_{CC\ I/O} = 5V$	40	66	113	
RLI+	Internal LVDS input pull-down resistor at LVDS_RX+ pins			1.2		$M\Omega$
RLI-	Internal LVDS input pull-up resistor			1.2		$M\Omega$
RBIAS	External LVDS BIAS resistor			11		$k\Omega$
R_L	LVDS RX load resistor			100		Ω
COSC	OSC_IN/OSC_OUT pin capacitance			12		pF

Table 5.3 DC Characteristics

NOTE : RWPU/RWPD cannot be used externally, their full effectiveness appears only inside the CLM1200 (realized as transistors).

NOTE: Input and output characteristics without special indication apply to all non-LVDS I/O signals.

Configuration	External supply voltage			Supply current(typical)		
	VCC	VCC I/O	VCC Core	ICC	ICC I/O	ICC Core
2LVDS ports	3.3V	3.3V	Int. LDO	42mA	24 mA	-
	5V	Int. LDO	Int. LDO	63 mA	-	-
	5V	5V	Int. LDO	49 mA	40 mA	-
	3.3V	3.3V	Note	2 mA	16 mA	61 mA
	5V	Int. LDO	Note	16 mA	-	70 mA
	5V	5V	Note	1 mA	41 mA	71 mA
3LVDS ports	3.3V	3.3V	Int. LDO	47 mA	29 mA	-
	5V	Int. LDO	Int. LDO	75 mA	-	-
	5V	5V	Int. LDO	50 mA	55 mA	-
	3.3V	3.3V	Note	8 mA	22 mA	61 mA
	5V	Int. LDO	Note	28 mA	-	71 mA
	5V	5V	Note	1 mA	55 mA	71 mA
1LVDS port,1MII port	3.3V	3.3V	Int. LDO	40 mA	21 mA	-
	5V	Int. LDO	Int. LDO	60 mA	-	-
	5V	5V	Int. LDO	49 mA	29 mA	-
	3.3V	3.3V	Note	2 mA	13 mA	61 mA
	5V	Int. LDO	Note	13 mA	-	70 mA
	5V	5V	Note	1 mA	29 mA	71 mA
2LVDS port,1MII port	3.3V	3.3V	Int. LDO	43 mA	28 mA	-
	5V	Int. LDO	Int. LDO	68 mA	-	-
	5V	5V	Int. LDO	49 mA	46 mA	-
	3.3V	3.3V	1.8V	3 mA	20 mA	61 mA
	5V	Int. LDO	1.8V	22 mA	-	71 mA
	5V	5V	1.8V	1 mA	46 mA	71 mA

Table5.4 DC Characteristics(Supply Current)

NOTE : When using the external power supply mode,the pin VCC Core has a supply voltage of 1.8V inside the chip,and the external supply voltage is greater than 2.4V during the test.

NOTE: Int. LDO means internal LDO is used, otherwise power is supplied externally. Supply current does not include output driver current for PDIs and LEDs.

5.2.3.EMS Characteristics

Symbol	Parameter	Class	Min	Units
VESD (HBM)	Electrostatic discharge (Human body model)	ESDA/JEDEC JS-001-2017 Class2	3	kV
VESD (CDM)	Electrostatic discharge (Charged device model)	ESDA/JEDEC JS-002.2018 Class3	1	kV
ILAT	Latch up current		±200	mA

Table5.5 EMS Characteristics

5.2.4. Thermal Characteristics

Symbol	Parameter	Min	Type	Max	Unit
θ_A	Ambient temperature			85	°C
θ_J	Junction temperature			125	°C

Table 5.6 Thermal Characteristics



6.2.订购信息

型号	状态	特性描述	封装	ROHS	包装数量	温度范围 (°C)	PKG. DWG. #
CLM1200-0002	量产	多通道工业以太网从站控制器	QFN-48	YES	1248PCS/托盘	-40 ~ +85	V1.8
CLM1200-0003	量产	多通道工业以太网从站控制器	QFN-48	YES	1248PCS/托盘	-40 ~ +85	V1.8

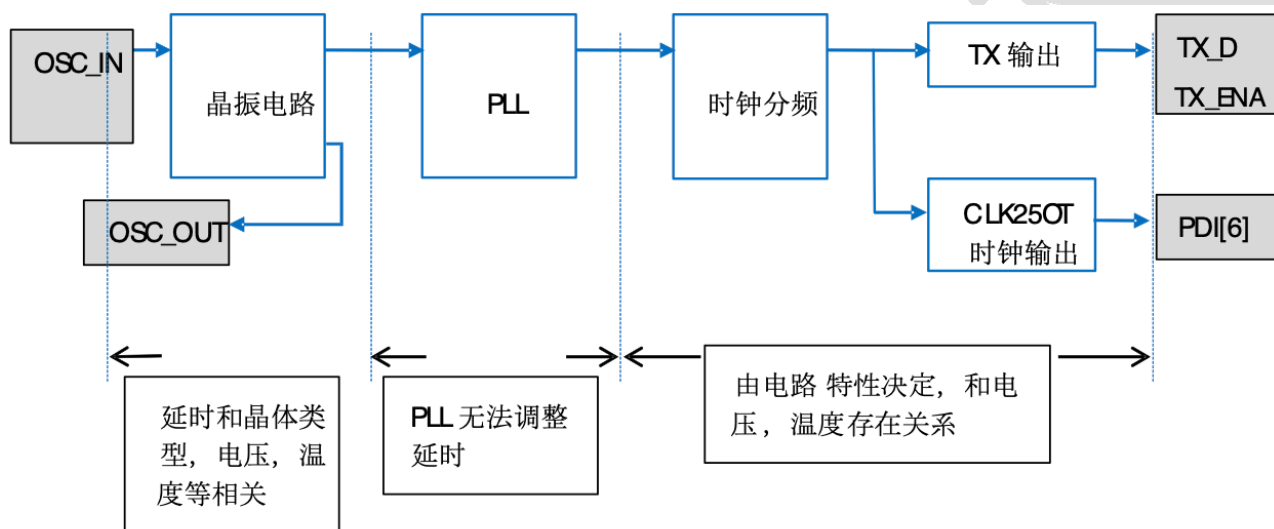
附录A 应用注意

A.1 TX SHIFT设置

本芯片在使用时，如果基于OSC_IN/OSC_OUT来做时钟参考，应该按照实际情况来调节TX_SHIFT[1:0]的值，使得PHY芯片能安全的采集到TX_ENA和TX_D。

大多数情况下，不对TX_SHIFT[1:0]做任何配置，也可以正常采集数据，但这样的系统并不能保证鲁棒性，因为随着电压和温度的变化，采集点可能会偏离到数据的变化沿，导致采集错误，造成通信不稳定，所以建议将采集点调节至数据最稳定的时刻，提高系统稳定性。

构成延时的示意图如下：



图A.1 延时示意图

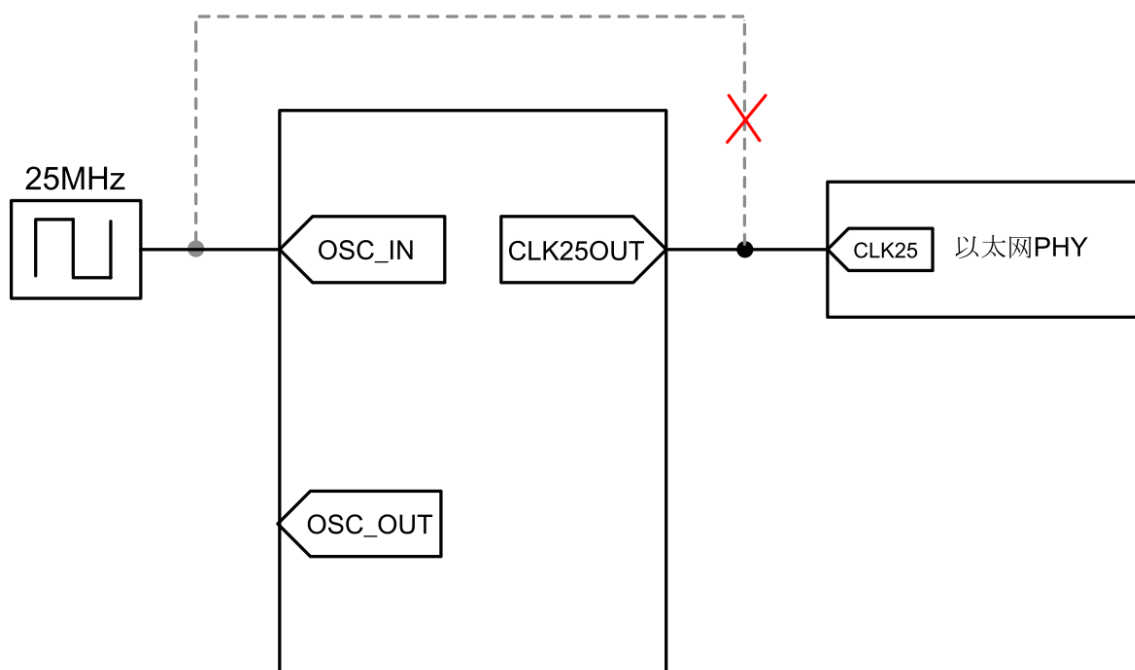
A.2 PHY芯片选择注意事项

芯片的多个模式配置都是通过引脚上接上拉或下拉电阻来实现的，芯片在上电时，会读取引脚上的电平，来判断是上拉还是下拉，从而配置芯片进入特定的模式，因此，如果芯片的配置引脚上除了上拉或下拉电阻，还接了其他芯片，比如PHY芯片，那么一定要注意PHY芯片内部是否有上拉或下拉电阻，如果有，那么要确保PHY芯片和上拉/下拉电阻的合电阻，依然能够满足芯片的配置要求。

比如使用下拉电阻配置LINKPOL/MI_CLK，同时此引脚还接了PHY芯片的MDC管脚，部分PHY芯片的此管脚内部存在一个15K左右的上拉电阻，这个电阻会导致下拉配置识别错误，从而无法正常识别和工作，此时可以将下拉电阻降低，让芯片能读到正确的配置信息。

A.3 关于PHY芯片的时钟

PHY芯片的时钟需由FCE1200N2N芯片的输出时钟提供，而不能使用振荡器提供，图中虚线所示连接是禁止的。



图A.2 PHY芯片时钟