
CLM1300

2MII接口工业以太网从站控制器

产品参数

- 工作范围
 - 内部LDO提供逻辑内核/PLL电源(5V/3.3V到1.8V)
 - 选择外部电源供电给内部LDO提供逻辑内核/PLL电源。
- 以太网端口数量：2端口（均为MII接口配置）
- FMMUs数量：8
- 同步管理SM（SyncManager）数量：8
- RAM容量：8Kbyte
- 集成分布时钟DC（Distributed Clock）：有，64bit
- 过程数据接口SPI从站接口
- 封装：QFN64(9×9mm²)
- 其他：内部1GHzPLL

目录

CLM1300	1
目录.....	2
图目录	4
表目录	5
缩写目录	6
1. 介绍	8
2. 描述	9
2.1. 芯片模块框图	9
2.1.1. 数据帧处理顺序	10
2.2. 模块概述	11
2.2.1. 物理通信接口 :	11
2.2.2. PDI接口 :	11
2.2.3. 以太网从站控制器数据帧处理单元 :	11
2.2.4. 存储同步管理	11
2.2.5. 现场总线内存管理单元 (FMMU)	11
2.2.6. 分布时钟	11
3. 引脚分配	12
3.1. 引脚概述	12
3.1.1. 引脚排布	12
3.1.2. 引脚名称	13
3.1.3. 信号概述	14
3.1.4. SPI信号概述	15
3.2. 引脚功能及连接要求	16
3.2.1. 电源	16
3.2.1.1. I/O信号电源	17
3.2.1.2. 逻辑内核电源	17
3.2.1.3. PLL电源	17
3.2.1.4. 举例电源引脚连接原理图	18
3.2.2. 时钟	19
3.2.2.1. 举例时钟供应原理图	19
3.2.3. 复位引脚	21
3.2.3.1. 举例复位引脚原理图	21
3.2.4. 配置信号引脚	22
3.2.4.1. 举例配置信号输入/指示灯输出引脚原理图	22
3.2.4.2. 端口模式	23
3.2.4.3. 端口配置	23
3.2.4.4. CPU_CLK模式	23
3.2.4.5. TX相位移动	23
3.2.4.6. CLK25OUT2使能	24

3.2.4.7.透明模式使能	24
3.2.4.7.1.举例透明模式应用原理图	25
3.2.4.8.PHY地址偏移	26
3.2.4.9.链接有效信号极性	26
3.2.4.10.SII EEPROM内存大小	26
3.2.5.SII EEPROM接口	27
3.2.6.MII管理引脚	27
3.2.7.分布时钟同步/自锁引脚	27
3.2.8.LED信号	28
3.2.9.物理端口和SPI引脚	29
3.2.9.1.MII信号	29
3.2.9.1.1.CLK25OUT1/2 信号	29
3.2.9.1.2.举例MII连接原理图	30
3.2.9.2.PDI引脚	31
3.2.9.3.物理端口0	32
3.2.9.4.物理端口1	33
3.2.10.SPI接口	34
4.内存映射	35
5.电气特性	38
6.封装和订购信息	40
6.1.封装信息	40
6.2.订购信息	41
附录A 应用注意	42
A.1 TX SHIFT设置	42
A.2 PHY芯片选择注意事项	43
A.3关于PHY芯片的时钟	43
A.4关于配置引脚需要注意的点	44
A.5关于EEPROM接口配置说明	44

图目录

图2.1 结构框图.....	9
图2.2 以太网从站控制内部数据帧传输顺序.....	10
图3.1 CLM1300引脚分布.....	12
图3.2 CLM1300电源供电.....	18
图3.3 石英晶体时钟源的连接.....	19
图3.4 CLM1300和以太网PHY使用石英晶体时钟源时的连接.....	20
图3.5 CLM1300和以太网PHY使用振荡器时钟源输入时的连接.....	20
图3.6 RESET 引脚连接图.....	21
图3.7 输入/LED输出引脚双功能配置连接.....	22
图3.8 透明模式.....	25
图3.9 PHY连接.....	30
图A.1 延时示意图.....	42
图A.2 PHY芯片时钟.....	43
图A.3 P_MODE[1:0]=00和P_CONF[1:0]=11的固定配置.....	44

表目录

表2.1 数据帧处理顺序	10
表3.1 CLM1300引脚概述	13
表3.2 信号概述	14
表3.3 SPI信号概述	15
表3.4 供电电压选择	16
表3.5 I/O电源供电引脚	17
表3.6 逻辑内核电源供电引脚	17
表3.7 PLL电源供电引脚	17
表3.8 时钟引脚	19
表3.9 复位引脚	21
表3.10 端口模式	23
表3.11 端口配置	23
表3.12 CPU_CLK模式	23
表3.13 TX相位偏移	23
表3.14 CLK25OUT2使能	24
表3.15 透明模式使能	24
表3.16 PHY地址偏移	26
表3.17 链接有效信号极性	26
表3.18 SII EEPROM_SIZE	26
表3.19 SII EEPROM接口	27
表3.20 MII管理引脚	27
表3.21 分布时钟同步/自锁引脚	27
表3.22 LED引脚	28
表3.23 MII信号	29
表3.24 CLK25OUT1/2信号输出	29
表3.25 物理端口0	32
表3.26 物理端口1	33
表3.27 SPI从站接口与CLM1300端口的映射	34
表4.1 CLM1300寄存器分布	37
表5.1 CLM1300的DC特性	38
表5.2 CLM1300直流特性	39
表5.3 CLM1300直流特性	39

缩写目录

ADR	Address 地址
AL	Application Layer 应用层
BD	Bidirectional 双向
BGA	Ball Grid Array 球阵列封装
BHE	Bus High Enable 总线高电平使能
CMD	Command 命令
CS	Chip Select 片选
DC	Distributed Clock 集成分布时钟
DL	Data Link Layer 数据链接层
EMC	Electromagnetic Compatibility 电磁兼容性
EMI	Electromagnetic Interference 电磁干扰
EOF	End of Frame 帧结尾
EEPROM	Electrically Erasable Programmable read only memory 带电可擦可编程只读存储器
FMMU	Fieldbus Memory Management Unit 现场总线内存管理单元
GPI	General Purpose Input 通用数字量输入引脚
GPO	General Purpose Output 通用数字量输出引脚
I	Input 输入
I/O	Input or Output 输入或者输出
I2C	Inter-Integrated Circuit 集成电路总线
IRQ	Interrupt Request 中断请求
LDO	Low Drop-Out regulator 低压差线性稳压器
LVDS	Low Voltage Differential Signaling 低压差分信号
LI-	LVDS RX- 低压差分信号负接收端
LI+	LVDS RX+ 低压差分信号正接收端
LO-	LVDS TX- 低压差分信号负发射端
LO+	LVDS TX+ 低压差分信号正发射端
LED	Light Emitting Diode 发光二极管
MAC	Media Access Controller 介质访问控制
MDIO	Management Data Input / Output 管理数据输入/输出
MI	(PHY) Management Interface 以太网物理层接口器件管理接口

MII	Media Independent Interface 介质无关接口
MISO	Master In – Slave Out 主站输入-从站输出
MOSI	Master Out – Slave In 主站输出-从站输入
n.a.	not available 未使用
n.c.	not connected 未连接
O	Output 输出
PD	Pull-down 下拉
PDI	Process Data Interface 过程数据接口 Physical Device Interface 物理设备接口
PLL	Phase Locked Loop 锁相回路
PU	Pull-up 上拉
PHY	Physical 以太网物理层器件
QFN	Quad Flat package No leads 方形扁平无引脚封装
RD	Read 读
SII	Slave Information Interface 从站信息接口
SM	SyncManager 同步管理器
SOF	Start of Frame 帧起始
SPI	Serial Peripheral Interface 串行外设接口
TA	Transfer Acknowledge 传输应答
TFBGA	Thin-profile Fine-pitch BGA 薄型球栅阵列封装
TS	Transfer Start 传输周期启动
UI	Unused Input (PDI: PD, 其它: GND)未使用的输入引脚
WD	Watchdog 看门狗
WPD	Weak Pull-down 弱下拉, 只够配置信号
WPU	Weak Pull-up 弱上拉, 只够配置信号
WR	Write 写

1. 介绍

本芯片为实现工业以太网协议的从站控制器芯片。

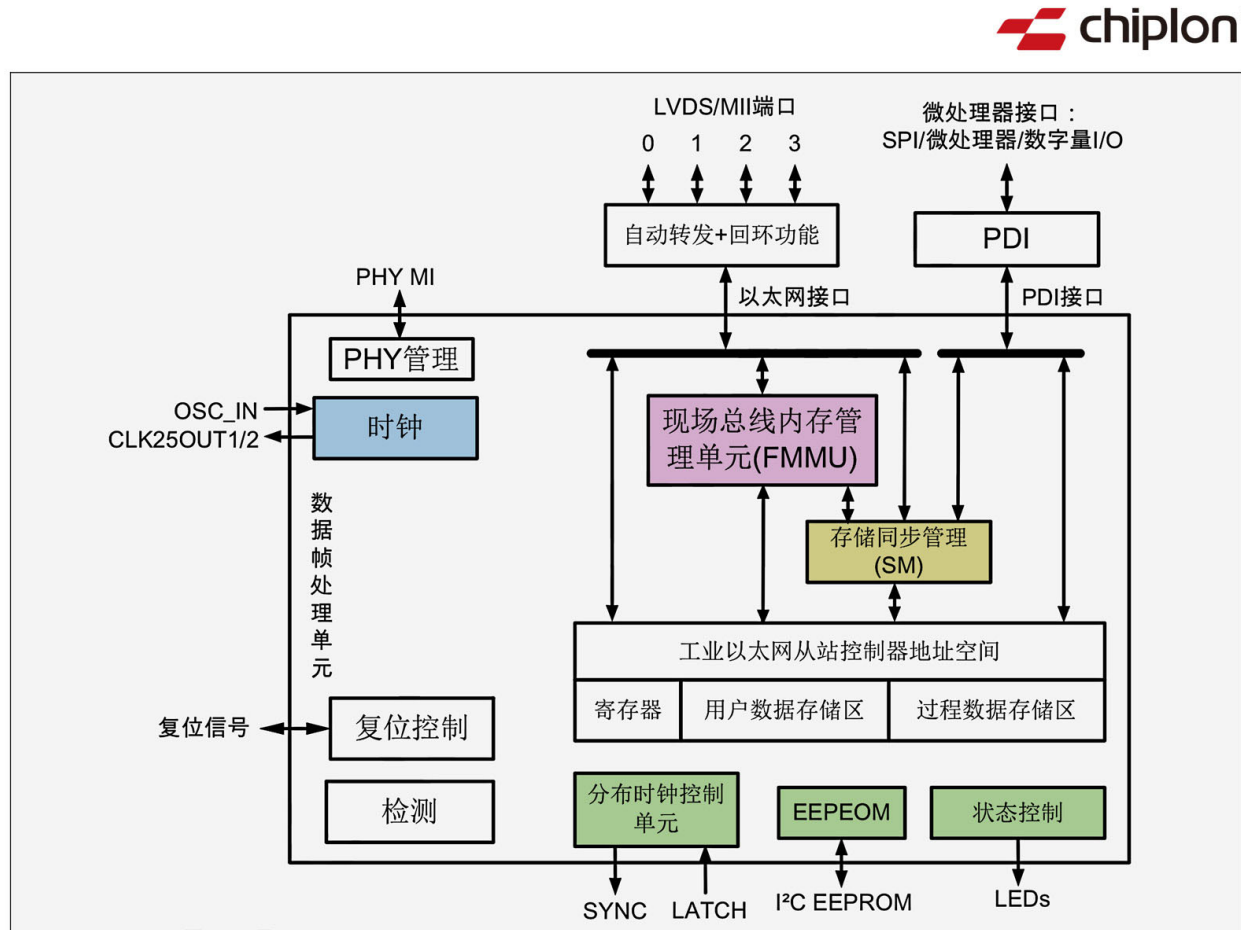
工业以太网是一种实时工业以太网技术，它充分利用了以太网的全双工特性。使用主从模式介质访问控制（MAC），主站发送以太网帧给各从站，从站从数据帧中抽取数据或将数据插入数据帧。主站使用标准的以太网接口卡，从站使用专门的工业以太网从站控制器，即可使用本芯片。

本芯片在从站系统中主要负责处理工业以太网数据帧，并使用双端口存储区实现工业以太网主站与从站本地应用的数据交换。各个从站工业以太网从站控制器按照各自在环路上的物理位置顺序移位读写数据帧。在报文经过从站时，工业以太网从站控制器从报文中提取发送给自己的输出命令数据并将其存储到内部存储区，输入数据从内部存储区又被写到相应的子报文中。数据的提取和插入都是由工业以太网从站控制器完成。

2. 描述

2.1. 芯片模块框图

本芯片为工业以太网从站控制芯片，是实现工业以太网数据链路层协议的专用集成电路芯片。它处理工业以太网数据帧，并为从站控制装置提供数据接口。结构如下图：



CLM1300框图

图2.1 结构框图

本芯片具有2个数据收发端口、8个FMMU单元、8个SM通道、4KB控制寄存器、8KB过程数据存储区、支持64位分布时钟功能。它可以由外部微处理器控制，组成复杂的从站设备。

2.1.1.数据帧处理顺序

本芯片的数据帧处理顺序如下:

LVDS/MII端口数量	数据帧处理顺序
2	0→工业以太网数据帧处理单元→1/1→0

表2.1 数据帧处理顺序

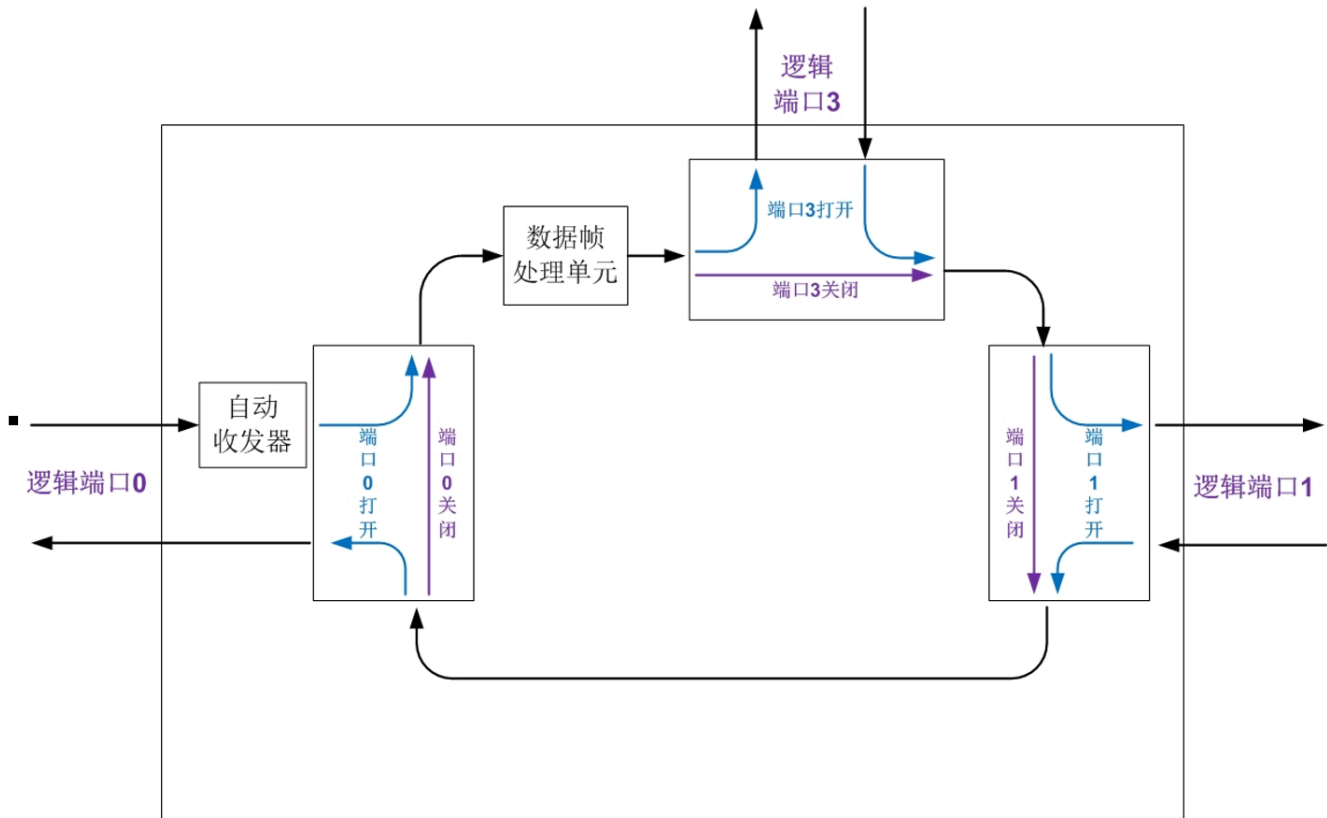


图2.2 以太网从站控制内部数据帧传输顺序

2.2. 模块概述

2.2.1. 物理通信接口：

本芯片有2个物理通信端口，分别命名为端口0到端口1，两端口均被配置成MII接口形式。

MII接口：使用此接口时，需要外接以太网物理层PHY芯片。

2.2.2. PDI接口：

本芯片支持SPI接口、串行微处理器接口。

2.2.3. 以太网从站控制器数据帧处理单元：

每个以太网从站控制器支持2个收发端口，每个端口打开后，可以向其他以太网从站控制器发送数据帧或从其他以太网从站控制器接收数据帧。

2.2.4. 存储同步管理

以太网从站控制器使用了存储同步管理通道SM (SyncManager) 来保证主站与本地应用数据交换的一致性和安全性，并在数据状态改变时产生中断来通知双方。

2.2.5. 现场总线内存管理单元 (FMMU)

FMMU将从站本地物理存储地址映射到网段内逻辑地址。实现从站在4GB (2³²) 地址空间的逻辑寻址，报文内的32位地址区作为整体的数据逻辑寻址的地址。

2.2.6. 分布时钟

分布时钟 (DC , Distributed Clock) 可以使所有工业以太网设备使用相同的系统时间，从而控制设备任务的同步执行。从站设备可以根据同步的系统时间产生同步信号，用于中断控制或触发数据量输入输出。

3. 引脚分配

3.1. 引脚概述

3.1.1. 引脚排布

CLM1300采用了QFN64封装，其引脚分布如图3.1所示，引脚名称如表3.1所示。

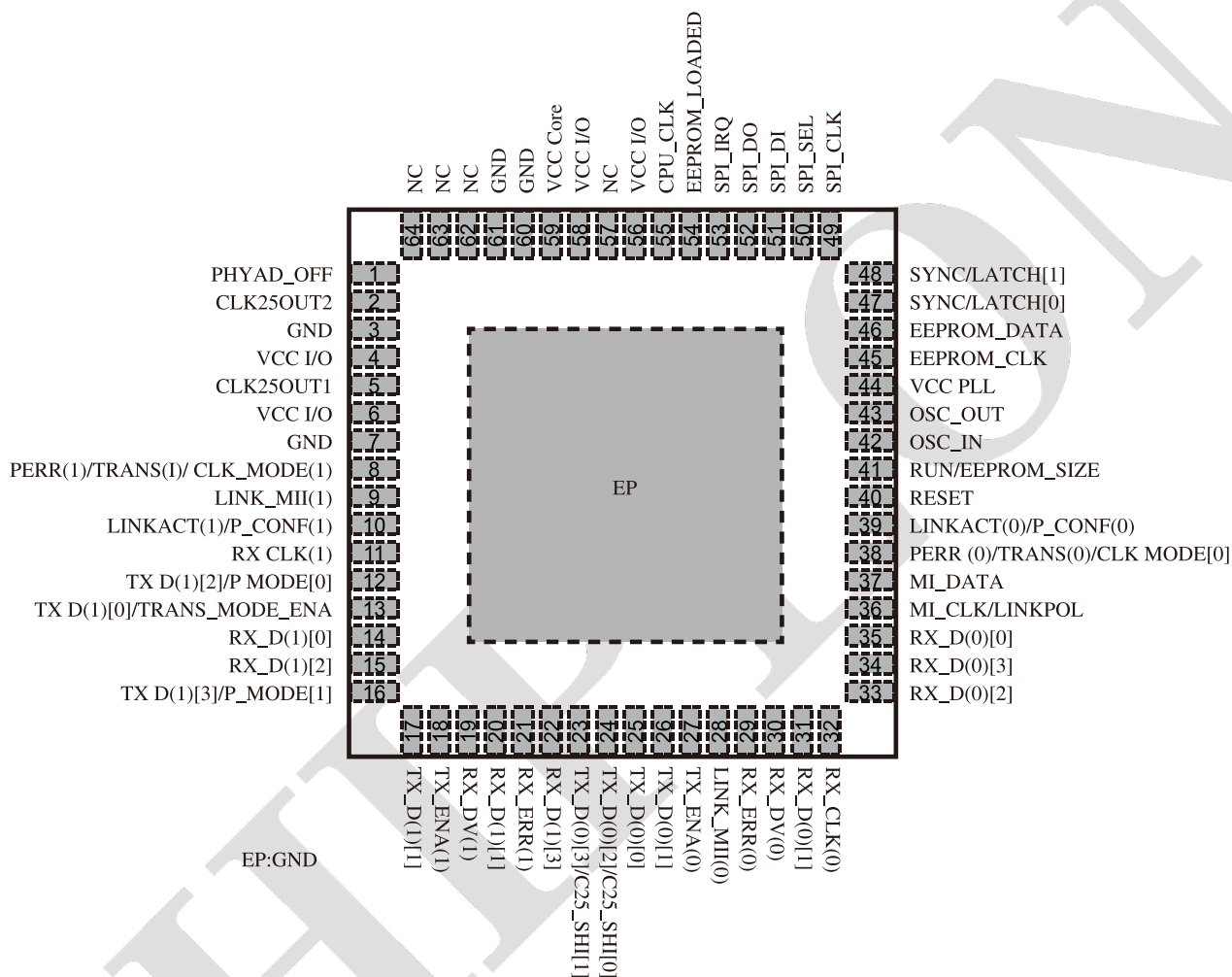


图3.1 CLM1300引脚分布

3.1.2. 引脚名称

引脚	引脚名称	方向	引脚	引脚名称	方向
1	PHYAD_OFF	BD	33	RX_D(0)[2]	I
2	CLK25OUT2	BD	34	RX_D(0)[3]	I
3	GND		35	RX_D(0)[0]	I
4	VCC I/O		36	MI_CLK/LINKPOL	BD
5	CLK25OUT1	BD	37	MI_DATA	BD
6	VCC I/O		38	PERR (0)/TRANS(0)/CLK_MODE[0]	BD
7	GND		39	LINKACT(0)/P_CONF(0)	BD
8	PERR(1)/TRANS(1)/CLK_MODE(1)	BD	40	RESET	BD
9	LINK_MII(1)	I	41	RUN/EEPROM_SIZE	BD
10	LINKACT(1)/P_CONF(1)	BD	42	OSC_IN	I
11	RX_CLK(1)	I	43	OSC_OUT	O
12	TX_D(1)[2]/P_MODE[0]	I	44	VCC PLL	
13	TX_D(1)[0]/TRANS_MODE_ENA	I	45	EEPROM_CLK	BD
14	RX_D(1)[0]	I	46	EEPROM_DATA	BD
15	RX_D(1)[2]	I	47	SYNC/LATCH[0]	BD
16	TX_D(1)[3]/P_MODE[1]	BD	48	SYNC/LATCH[1]	BD
17	TX_D(1)[1]	I	49	SPI_CLK	BD
18	TX_ENA(1)	I	50	SPI_SEL	BD
19	RX_DV(1)		51	SPI_DI	BD
20	RX_D(1)[1]		52	SPI_DO	BD
21	RX_ERR(1)	I	53	SPI_IRQ	BD
22	RX_D(1)[3]	I	54	EEPROM_LOADED	BD
23	TX_D(0)[3]/C25_SHI[1]	BD	55	CPU_CLK	BD
24	TX_D(0)[2]/C25_SHI[0]	BD	56	VCC I/O	
25	TX_D(0)[0]	IO	57	NC	
26	TX_D(0)[1]	O	58	VCC I/O	
27	TX_ENA(0)	BD	59	VCC Core	
28	LINK_MII(0)	I	60	GND	
29	RX_ERR(0)	I	61	GND	
30	RX_DV(0)	I	62	NC	
31	RX_D(0)[1]	I	63	NC	
32	RX_CLK(0)	I	64	NC	
EP	GND				

表3.1 CLM1300引脚概述

3.1.3.信号概述

信号	类型	方向	功能描述
C25_ENA	Configuration	I	使能CLK25OUT2输出25MHz
C25_SHI[1:0]	Configuration	I	MII TX 信号的键移/相位补偿
CLK_MODE[1:0]	Configuration	I	CPU_CLK输出配置
CLK25OUT1/CLK25OUT2	MII	O	用于以太网PHY芯片的25MHz时钟源
CPU_CLK	SPI	O	用于微控制器时钟信号
EEPROM_CLK	EEPROM	BD	EEPROM I ² C时钟
EEPROM_DATA	EEPROM	BD	EEPROM I ² C数据
EEPROM_SIZE	Configuration	I	EEPROM大小构造
PERR (1:0)	LED	O	端口接收错误LED输出 (用于测试)
LINK_MII(1:0)	MII	I	表示一个链接的PHY信号
LINKACT(1:0)	LED	O	链接/激活LED输出
LINKPOL	Configuration	I	LINK_MII(1:0)极性配置
MI_CLK	MII	O	PHY管理接口时钟
MI_DATA	MII	BD	PHY管理接口数据
OSC_IN	Clock	I	时钟源 (晶振/振荡器)
OSC_OUT	Clock	O	时钟源 (晶振)
P_CONF(1:0)	Configuration	I	逻辑端口的物理层
P_MODE[1:0]	Configuration	I	物理端口数量和相应的逻辑端口
PHYAD_OFF	Configuration	I	以太网PHY地址补偿
RESET	General	BD	开集复位输出/复位输入
RUN	LED	O	运行被AL状态寄存器控制的LED
RX_CLK(1:0)	MII	I	MII接收时钟
RX_D(x)[3:0]	MII	I	MII接收数据
RX_DV(3:0)	MII	I	MII接收有效的数据
RX_ERR(3: 0)	MII	I	MII接收错误
SYNC/LATCH[1: 0]	DC	I/O	分布时钟同步信号输出或者锁存信号输入
TRANS(1: 0)	MII	I	MII接口分享: 分享端口使能
TRANS_MODE_ENA	Configuration	I	使能MII接口分享 (TRANS(1:0)信号)
TX_D(x)[3:0]	MII	O	MII传输数据
TX_ENA(3:0)	MII	O	MII传输使能
EEPROM_LOADED	SPI	O	PDI激活, 下载EEPROM
SPI_CLK	SPI	I	SPI时钟
SPI_DI	SPI	I	SPI数据MOSI
SPI_DO	SPI	O	SPI数据MISO
SPI_IRQ	SPI	O	SPI中断
SPI_SEL	SPI	I	SPI片选
VCC Core	Power		内核逻辑电源
VCC I/O	Power		I/O电源
VCC PLL	Power		PLL电源

表3.2 信号概述

3.1.4.SPI信号概述

PDI	信号	方向	描述	信号极性
SPI从站接口	EEPROM_LOADED	O	PDI活动, EEPROM数据正确加载	高电平有效
	SPI_CLK	I	SPI时钟	
	SPI_DI	I	SPI数据MOSI (主机输出从机输入)	高电平有效
	SPI_DO	O	SPI数据 MISO (主机输入从机输出)	高电平有效
	SPI_IRQ	O	SPI 中断	典型配置: 低电平有效
	SPI_SEL	I	SPI 片选	典型配置: 低电平有效

表3.3 SPI信号概述

3.2. 引脚功能及连接要求

3.2.1. 电源

CLM1300支持不同的电源和I/O信号电平选择，它可以是3.3V（也可选用5V，但是实际应用中不建议选用），也支持选择单电源供电或者双电源供电。

VCC I/O的电压值直接决定所有I/O信号的电平，它可以使用3.3V或5V供电。使用3.3V时，I/O信号电平即为3.3V，不允许使用5V输入。使用5V供电时，I/O信号电平即为5V。

CLM1300逻辑内核和PLL要求1.8V供电。VCC Core/VCC PLL既可通过内部LDO（Low Dropout Regulator，低压线性稳压器）产生，也可由外部提供。内部LDO使用VCC I/O作为电源。VCC Core总是等于VCC PLL。内部LDO不能被关闭，但是如果外部供电电压高于内部LDO输出时，LDO停止供电，因此VCC Core/VCC PLL使用外部供电时，供电电压至少要高于内部LDO电压输出0.1V，以使内部LDO停止输出。

使用内部LDO会增加功耗，同时值得注意的是，VCC I/O选用5V供电时的功耗大于VCC I/O选用3.3V供电时的功耗。所以建议选用3.3V的I/O信号电压和内部LDO为VCC Core/VCC PLL供电。

每个电源引脚都要连接稳压电容。

VCC I/O	VCC Core/VCC PLL	输入信号	输出信号	解释
3.3V	内部 LDO (1.8V)	仅3.3V	仅3.3V	单电源供电, 低功耗
为了将来的兼容性不建议选用:				
3.3V	外部电压1.8V	仅3.3V	仅3.3V	双电源供电, 最低功耗
5V	内部 LDO(1.8V)	仅5V	仅5V	单电源供电, 最高功耗
5V	外部电压 1.8V	仅5V	仅5V	双电源供电, 高功耗

表3.4 供电电压选择

3.2.1.1. I/O信号电源

根据需要的接口电压，VCC I/O电源引脚可以使用3.3V或者5V供电（不推荐使用5V）。VCC I/O使用3.3V供电时，I/O信号电平即为3.3V，不允许使用5V输入。VCC I/O使用5V供电时，I/O信号电平即为5V。所有的电源引脚VCC I/O必须并联稳压电容。

引脚	引脚名称
4	VCC I/O
6	VCC I/O
56	VCC I/O
58	VCC I/O

表3.5 I/O电源供电引脚

3.2.1.2. 逻辑内核电源

下表为CLM1300的内核电源引脚VCC Core。CLM1300的逻辑内核要求1.8V供电，该供电电压既可以由内部LDO产生，也可以由外部提供。内部LDO使用VCC I/O作为电源供电。这两种情况下，电源引脚VCC Core都必须并联稳压电容。

引脚	引脚名称
59	VCC Core

表3.6 逻辑内核电源供电引脚

3.2.1.3. PLL电源

PLL (Phase Lock Loop, 锁相回路) 电源引脚VCC PLL如下表所示。VCC PLL电源供电电压1.8V，该供电电压既可以由内部LDO产生，也可以由外部提供。内部LDO使用VCC I/O作为电源供电。这两种情况下，电源引脚VCC I/O都必须并联稳压电容。

引脚	引脚名称
44	VCC PLL

表3.7 PLL电源供电引脚

3.2.1.4. 举例电源引脚连接原理图

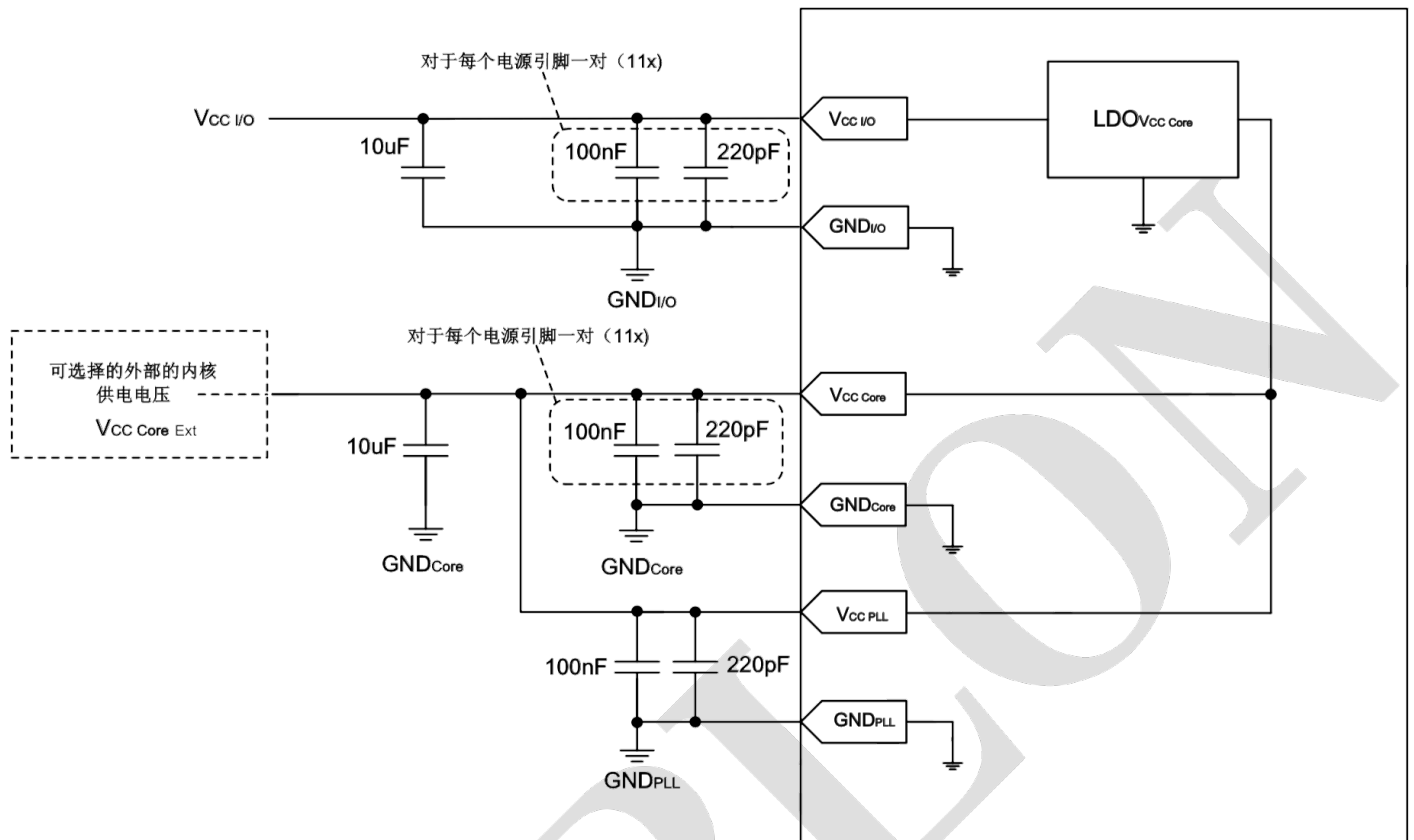


图3.2 CLM1300电源供电

稳压电容建议：对于每个电源引脚并联100nF和220pF陶瓷电容到地，VCC I/O和VCC Core/VCC PLL和GND间并联10uF电容，总共需要2个10uF电容。

如果VCC Core/VCC PLL的实际电压高于各自名义上的内部LDO的输出电压时，内部LDO将会自我失效。

3.2.2. 时钟

OSC_IN引脚作为时钟源输入引脚，外接25MHz的晶体或者振荡器。当CLM1300的时钟由振荡器提供时，以太网PHY芯片的时钟需由CLM1300输出时钟提供，具体使用方法参考引脚配置章节。25MHz的时钟源要求精度为25ppm以上。

OSC_OUT引脚接外部晶体。当OSC_IN引脚接入振荡器时，该引脚悬空。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
OSC_IN	I	OSC_IN	I		
OSC_OUT	O	OSC_OUT	O		

表3.8 时钟引脚

3.2.2.1. 举例时钟供应原理图

时钟源的布局对于系统的EMC/EMI有最大的影响。虽然一个25MHz时钟频率不要求大量的设计工作，但是以下规则有助于改善系统功能。

- ◆ 时钟源尽可能靠近以太网从站控制器布置；
- ◆ 在这个区域的地层应该无缝；
- ◆ 电源对时钟源和以太网从站控制器时钟呈现低阻抗；
- ◆ 应该使用时钟元器件推荐的电容值；
- ◆ 时钟源和以太网从站控制器时钟输入之间的电容量应该相同，具体数值取决于线路板的几何特性；
- ◆ CLM1300的时钟源精度要求25ppm以上。

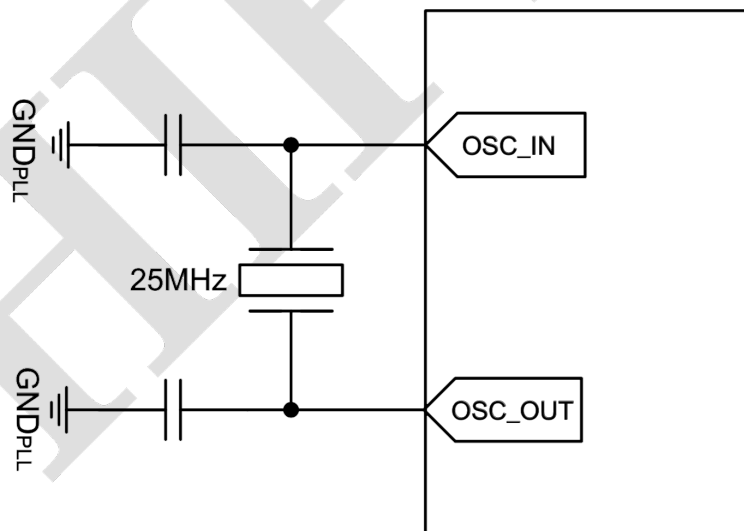


图3.3 石英晶体时钟源的连接

注意：负载电容的值取决于晶体的负载电容，以太网从站控制器的引脚电容COS，以及板子设计（电容典型值为12pF,此时CL=10pF）。

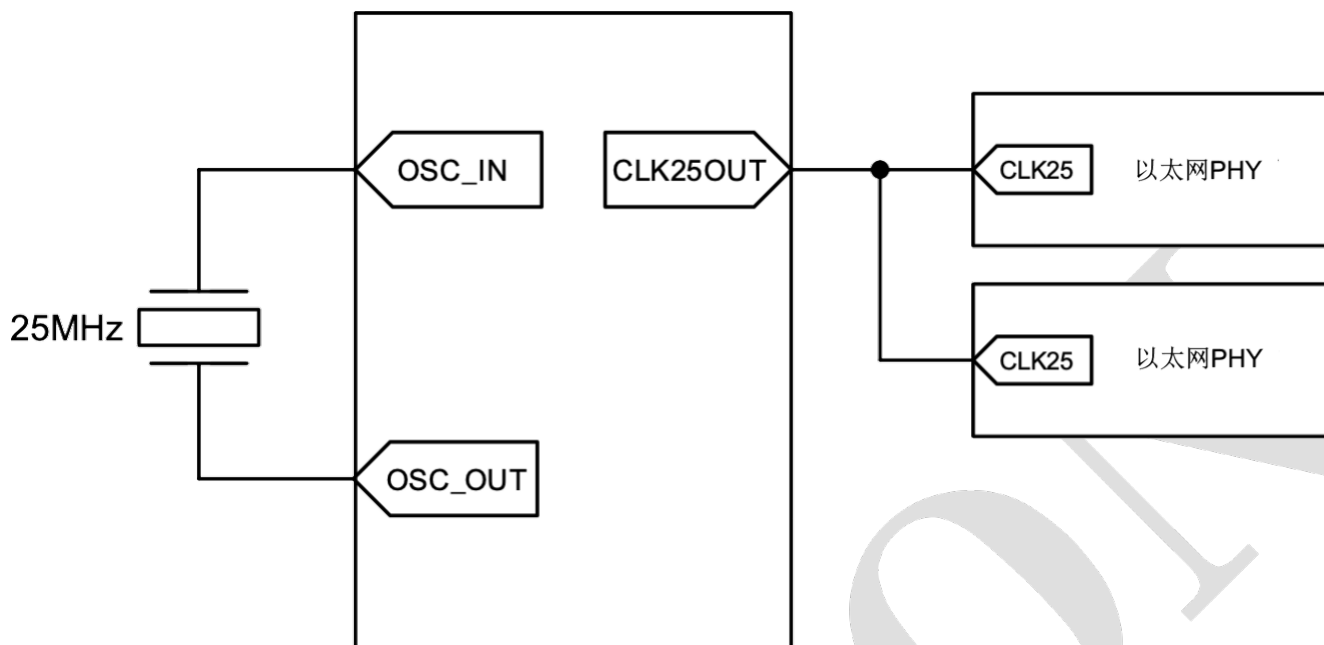


图3.4 CLM1300和以太网PHY使用石英晶体时钟源时的连接

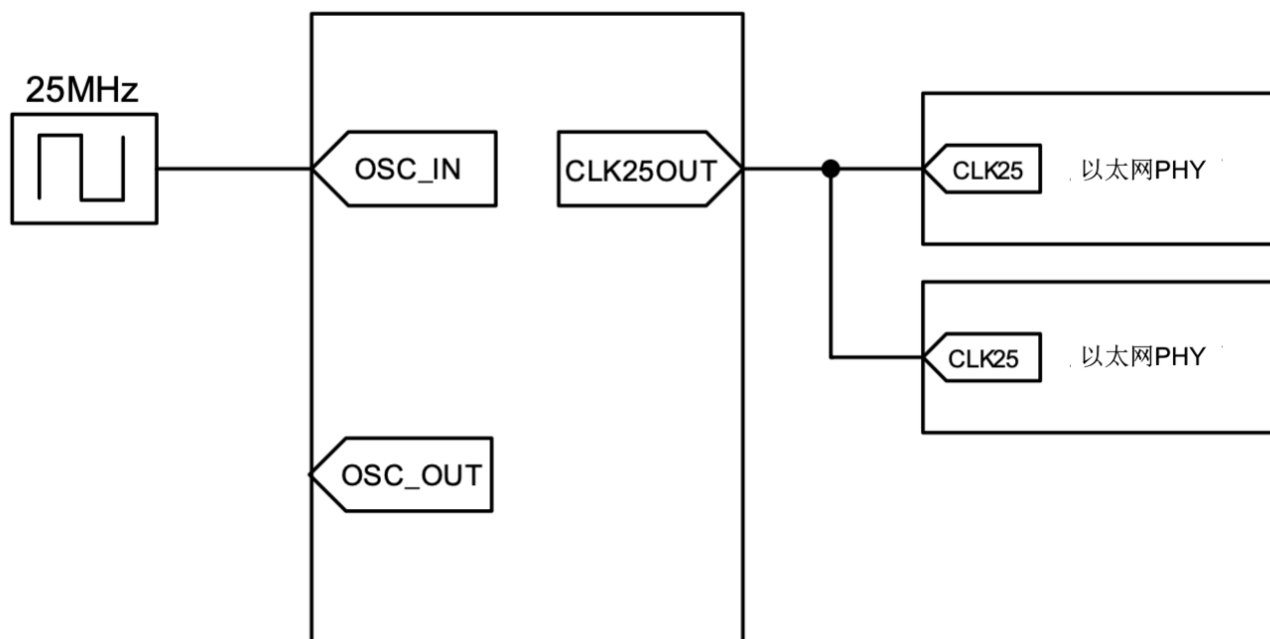


图3.5 CLM1300和以太网PHY使用振荡器时钟源输入时的连接

3.2.3. 复位引脚

RESET引脚是集电极开路输入/输出信号（低电平有效）引脚，表示CLM1300的复位状态，以下三种情况可以引起CLM1300内部复位：

1. 在上电之后进入复位状态；
2. 供电电压过低；
3. 由写复位寄存器0x0040触发一次复位。

内部复位时，RESET信号可以用于复位其它外围芯片，例如以太网PHY芯片。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RESET	BD	RESET	BD		3.3 kΩ PU

表3.9 复位引脚

3.2.3.1. 举例复位引脚原理图

RESET信号由外部设备拉低时，CLM1300也进入复位状态，RESET引脚连接如下图。

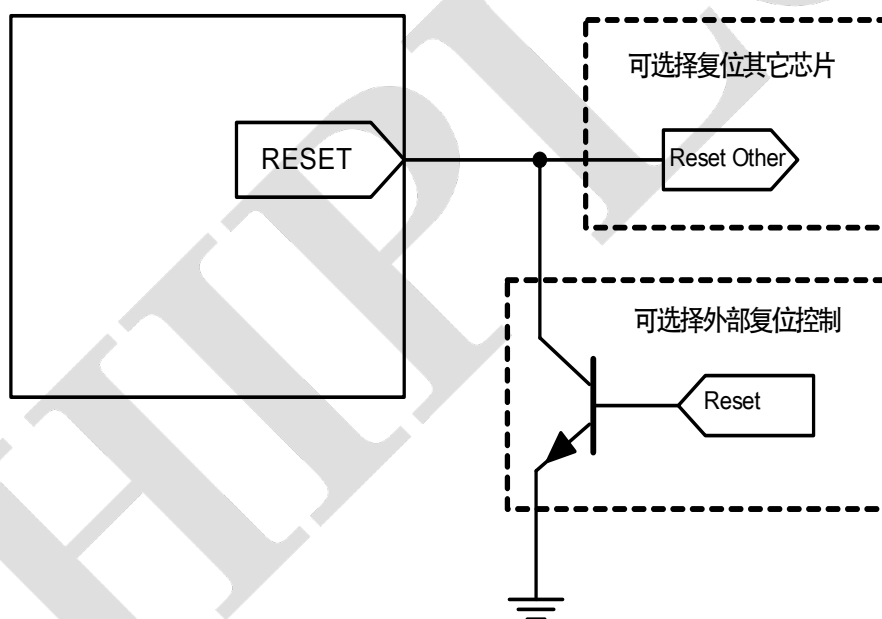


图3.6 RESET 引脚连接图

3.2.4. 配置信号引脚

配置信号引脚在上电时通过外接上拉或下拉电阻来配置CLM1300。在上电时，配置信号引脚作为输入由CLM1300锁存配置信号信息。上电之后，这些引脚都有分配的操作功能，必要时引脚信号方向也可以改变。RESET信号指示上电配置完成。若没有重新上电，在随后的复位阶段，CLM1300不会再锁存配置信号信息，配置引脚一直作为状态输出。

外接下拉电阻时，配置信号为0；外接上拉电阻时，配置信号为1。一些配置信号引脚也可以外接LED作为状态输出引脚，LED的极性取决于需要配置的值。

3.2.4.1. 举例配置信号输入/指示灯输出引脚原理图

如果配置信号为1，需要外接上拉电阻，引脚输出为0（低）时LED导通。如果配置信号为0，则需外接下拉电阻，引脚输出为1（高）时LED导通。如下图所示。

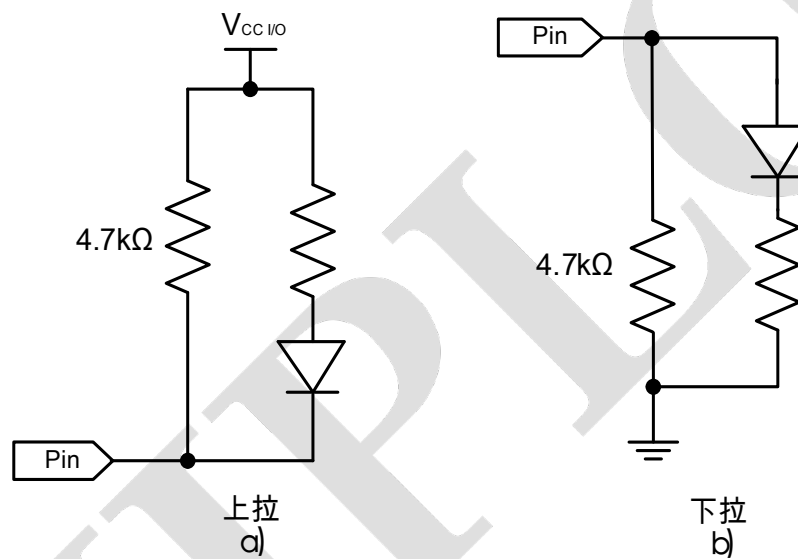


图3.7 输入/LED输出引脚双功能配置连接

a)配置信号=1

b)配置信号=0

3.2.4.2. 端口模式

端口模式 (Port Mode) 用于配置物理端口和相应逻辑端口的数量。CLM1300为固定的2端口，所以 P_MODE[1:0]=00,如下表所示

描述	配置信号	引脚名称	寄存器	P_MODE[1:0]值
端口模式	P_MODE[0]	TX_D(1)[2]/P_MODE[0]	0x0E00[0]	00 = 2端口(逻辑端口 0和1)
	P_MODE[1]	TX_D(1)[3]/P_MODE[1]	0x0E00[1]	

表3.10 端口模式

3.2.4.3. 端口配置

P_CONF[1:0]决定了物理层配置。P_CONF[0] 决定了逻辑端口0的物理层配置, P_CONF[1] 决定了逻辑端口1的物理层配置，CLM1300两端口均为MII接口，所以P_CONF[1:0]=11,如下表所示。

描述	配置信号	引脚名称	寄存器	值
端口配置	P_CONF[0]	LINKACT(0)/P_CONF[0]	0x0E00[2]	11 (端口0=MII, 端口1=MII)
	P_CONF[1]	LINKACT(1)/P_CONF(1)	0x0E00[3]	

表3.11 端口配置

3.2.4.4. CPU_CLK模式

CLK_MODE可用于提供一个时钟信号给外部微处理器。CPU_CLK 配置模式如下表所示。

描述	配置信号	引脚名称	寄存器	CLK_MODE[1:0]值
CPU_CLK模式	CLK_MODE[0]	PERR(0)/TRANS(0)/CLK_MODE[0]	0x0E00[6]	00 = off时无时钟输出在CPU_CLK 01 = 25 MHz时钟输出在CPU_CLK 10 = 20 MHz时钟输出在CPU_CLK 11 = 10 MHz 时钟输出在CPU_CLK
	CLK_MODE[1]	PERR(1)/TRANS(1)/CLK_MODE(1)	0x0E00[7]	

表3.12 CPU_CLK模式

3.2.4.5. TX相位移动

MII接口的TX信号(TX_ENA, TX_D[3:0])的相位移动(0/10/20/30ns) 通过C25_SHI[x] 信号获得。为了能后期调整，建议通过硬件选择能够支持所有的C25_SHI[1:0]配置。TX相位移动情况如下表所示。

描述	配置信号	管脚名称	寄存器	C25_SHI[1:0]值
TX相位偏移	C25_SHI[0]	TX_D(0)[2]/C25_SHI[0]	0x0E01[0]	00 = MII TX 信号无延迟 01 = MII TX 信号延迟10 ns 10 = MII TX 信号延迟 20 ns 11 = MII TX 信号延迟 30 ns
	C25_SHI[1]	TX_D(0)[3]/C25_SHI[1]	0x0E01[1]	

表3.13 TX相位偏移

3.2.4.6. CLK25OUT2使能

以太网PHY可以通过CLM1300的CLK25OUT2引脚获取一个25MHz的时钟。CLK25OUT2引脚使能如下表所示。

描述	配置信号	引脚名称	寄存器	C25_ENA值
CLK25OUT2使能	C25_ENA	TX_D(0)[0]/C25_ENA	0x0E01[2]	0 = 失能, CLK25OUT2无时钟输出 1 = 使能, CLK25OUT2输出25MHz时钟

表3.14 CLK25OUT2使能

3.2.4.7. 透明模式使能

CLM1300有能力在每一个端口上同其它MAC分享MII接口。通常情况下，透明模式失能，CLM1300有专门分配MII接口给PHY芯片。当透明模式使能以后，MII接口既可以由CLM1300分配也可以从由其它MAC分配，例如微处理器和集成MAC。在处理同时网络信息流量时，不应该重新分配。

透明模式主要影响PERR(x)/TRANS(x)引脚信号。如果透明模式使能，PERR(x)/TRANS(x)引脚作为TRANS(x)信号使用(低电平有效),能够控制每个端口的透明状态，此透明模式下，PERR(x)是不可用的。

TRANS(x)信号仅影响同一个端口的TX_ENA(x)/TX_D(x)以及MI_CLK/MI_DATA。CLM1300和另一个MAC的RX_CLK(x),RX_DV(x),RX_D(x),RX_ERR(x)被连接。

如果TRANS(x)是高电平，每个MII接口和往常一样，CLM1300控制MII接口。如果TRANS(x)为低电平，端口成为透明的（或者单独的），比如此时CLM1300不再驱动TX_ENA(x)/TX_D(x)活动，因此，其它MAC能够驱动这些信号。

LINKACT(x)引脚的外接LED一直会被CLM1300驱动，因为它通过取样RX_DV(x)和TX_ENA(x)（在透明模式下，它们作为输入使用）用于活动性检测。

只要至少一个MII接口不是透明模式，CLM1300都由MII管理接口管理控制。透明模式开启时，CLM1300的PHY管理接口能够凭借PDI接口获取，所以微处理器可以使用管理接口。当所有的MII接口均为透明模式，CLM1300会放开MI_CLK和MI_DATA驱动，此时它们能够被其它MAC驱动。透明模式使能如下表所示。

描述	配置信号	引脚名称	寄存器	TRANS_MODE_ENA值
透明模式使能	TRANS_MODE_ENA	TX_D(1)[0]/TRANS_MODE_ENA	0x0E01[3]	0 = 常规模式/透明模式失能, CLM1300使用专用的PHY 1 = 使能透明模式, CLM1300能够同其它MAC共享PHY

表3.15 透明模式使能

注意：使能透明模式配置时，会失能极性配置为高电平有效。

3.2.4.7.1. 举例透明模式应用原理图

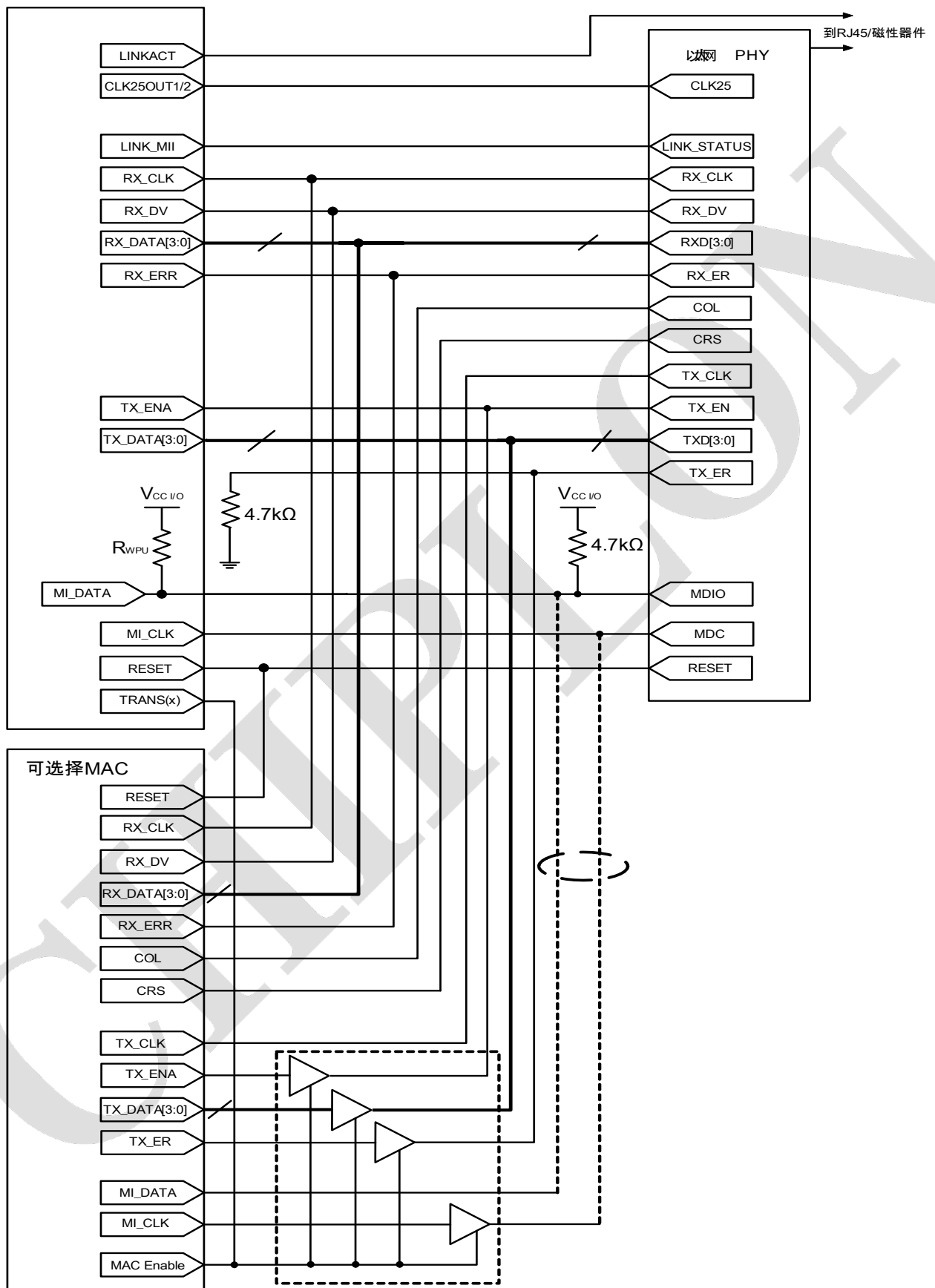


图3.8 透明模式

3.2.4.8. PHY地址偏移

CLM1300支持两种（0或16）PHY地址偏移配置。

PHY地址偏移如下表所示:

描述	配置信号	引脚名称	寄存器	PHYAD_OFF值
PHY地址偏移	PHYAD_OFF	PHYAD_OFF	0x0E01[5]	0 = PHY地址偏移 0 1 = PHY地址偏移 16

表3.16 PHY地址偏移

3.2.4.9. 链接有效信号极性

以太网物理层（PHY）芯片通过判断LINK_MII(x)发送信号100Mbit/s全双工链接给CLM1300。LINKPOL可以用于选择链接有效信号极性。链接极性配置如下表所示。

描述	配置信号	管脚名称	寄存器	LINKPOL值
链接有效信号极性	LINKPOL	MI_CLK/LINKPOL	0x0E01[6]	0 = LINK_MII(x)低电平有效 1 = LINK_MII(x)高电平有效

表3.17 链接有效信号极性

注意:使能透明模式配置时,会失能极性配置为高电平有效。

3.2.4.10. SII EEPROM内存大小

EEPROM_SIZE决定了EEPROM的内存大小(和I²C地址字节数目)。在EEPROM存取加载开始时,EEPROM_SIZE取样。EEPROM_SIZE配置如下表所示:

描述	配置信号	引脚名称	寄存器	EEPROM_SIZE值
EEPROM容量	EEPROM_SIZE	RUN/EEPROM_SIZE	0x0502[7]	0 = 单字节地址 (1 Kbit到16 Kbit EEPROM) 1 = 双字节地址(32 Kbit到4 Mbit EEPROM)

表3.18 SII EEPROM_SIZE

3.2.5. SII EEPROM接口

EEPROM_CLK为EEPROM I²C通信时钟信号（集电极开路输出）。

EEPROM_DATA为EEPROM I²C通信数据信号（集电极开路输出）。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
EEPROM_CLK	BD	EEPROM_CLK	BD		3.3 kΩ PU
EEPROM_DATA	BD	EEPROM_DATA	BD		3.3 kΩ PU

表3.19 SII EEPROM接口

3.2.6. MII管理引脚

MI_CLK/LINKPOL引脚在上电时作为链接有效信号极性（LINKPOL）配置信号使用，此后作为PHY管理接口时钟MI_CLK信号使用。MI_CLK为轨到轨（rail-to-rail）驱动，空闲时为高电平。

MI_DATA引脚为PHY管理接口数据，应该连接外部上拉电阻，推荐阻值4.7kΩ。

引脚		没有MII接口使用		MII接口使用		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向		
MI_CLK/LINKPOL	BD		BD	MI_CLK	O	LINKPOL	WPD
MI_DATA	BD		BD	MI_DATA	BD		WPU

表3.20 MII管理引脚

3.2.7. 分布时钟同步/自锁引脚

SYNC/LATCH[x]引脚是作为分布式时钟同步信号（Distributed Clocks SyncSignal）输出还是自锁信号（LatchSignal）输入取决于SII EEPROM的配置。在EEPROM加载前，SYNC/LATCH信号都会处于高阻态不会被驱动。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
SYNC/LATCH[0]	BD	SYNC[0]/LATCH[0]	O/I		
SYNC/LATCH[1]	BD	SYNC[1]/LATCH[1]	O/I		

表3.21 分布时钟同步/自锁引脚

3.2.8.LED信号

所有的配置信号引脚也可作为状态输出引脚而外接LED。LED的极性取决于需要配置的值：如果配置信号为1，需要外接上拉电阻，引脚输出为0（低）时发光二极管（LED）导通；如果配置信号为0，引脚需要外接下拉电阻，引脚输出为1（高）时发光二极管（LED）导通。

引脚		信号		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向		
RUN/EEPROM_SIZE	BD	RUN	O	EEPROM_SIZE	

表3.22 LED引脚

注意:LINKACT(x)和PERR(x)/TRANS(x)的引脚在物理端口章节有描述。

RUN/EEPROM_SIZE引脚中RUN为运行指示灯信号。在EEPROM存取加载开始时，引脚对SIIEEPROM内存容量配置(1Kbit-16Kbit或者32Kbit-4Mbit)进行取样。否则引脚就会输出运行状态信号（RUN），此时引脚外接LED作为运行指示灯。如果引脚配置拉低，则引脚输出高电平有效，如果引脚配置拉高，则引脚输出低电平有效。

LINKACT(x)引脚为物理端口x的输出数据状态信号，此引脚外接指示灯（LED），来表示相应端口的线路是否连接或者活动的状态（指示灯灭表示没有连接，指示灯亮表示有连接但没有数据传输活动，指示灯闪烁表示连接且有数据传输活动）。如果引脚拉低，则引脚LINKACT(x)输出高电平有效，如果管脚拉高，则引脚LINKACT(x)输出低电平有效。

PERR(x)/TRANS(x)引脚在TRANS_MODE_ENA=0时作为PERR(x)信号，用于MII接口发生错误时的输出状态信号，此时外接指示灯（LED）表示相应故障状态。当TRANS_MODE_ENA=1时，PERR(x)/TRANS(x)引脚作为TRANS(x)信号用于作为MII接口的物理端口x,此时端口x进入独立透明操作，PERR(x)此时不可用。如果引脚拉低，则引脚PERR(x)输出高电平有效，如果引脚拉高，则引脚PERR(x)输出低电平有效。

注意：PERR(x)引脚的外接指示灯（LED）信号并不是以太网指示说明的部分。这些指示灯是为了测试和排除故障。一旦芯片物理层发生接收故障，这些PERR(x)引脚的指示灯（LED）就会闪烁。不能混淆PERR(x)引脚的指示灯和应用层故障指示灯（ERR LED），故障指示灯不是被以太网从站控制器决定的，而是由微控制器控制的。

3.2.9.物理端口和SPI引脚

CLM1300有2个物理端口，分别命名为端口0和端口1，均配置为MII。CLM1300有5个PDI引脚，配置为SPI。

3.2.9.1.MII信号

下表描述了CLM1300所使用的MII接口信号。

信号	方向	描述
LINK_MII(x)	I	100Mbit/s的全双工连接状态
RX_CLK(x)	I	接收时钟
RX_DV(x)	I	接收数据有效
RX_D(x)[3:0]	I	接收数据
RX_ERR(x)	I	接收出错
TX_ENA(x)	O	发送使能
TX_D(x)[3:0]	O	发送数据

表3.23 MII信号

3.2.9.1.1.CLK25OUT1/2 信号

当CLM1300采用25MHz外接晶体获取时钟时，其需要通过CLK25OUT为以太网PHY芯片提供一个25MHz的时钟源。根据C25_ENA引脚配置,CLK25OUT可由CLK25OUT1或者CLK25OUT2提供，具体情况如下表所示。

配置	C25_ENA=0	C25_ENA=1
2xMII	CLK25OUT1提供 CLK25OUT 输出	CLK25OUT1和CLK25OUT2提供CLK25OUT

表3.24CLK25OUT1/2信号输出

注意：为了减少驱动负载，没有使用的CLK25OUT引脚悬空

3.2.9.1.2. 举例MII连接原理图

要特别注意TX Shift, LINK_POL以及PHY地址的配置。

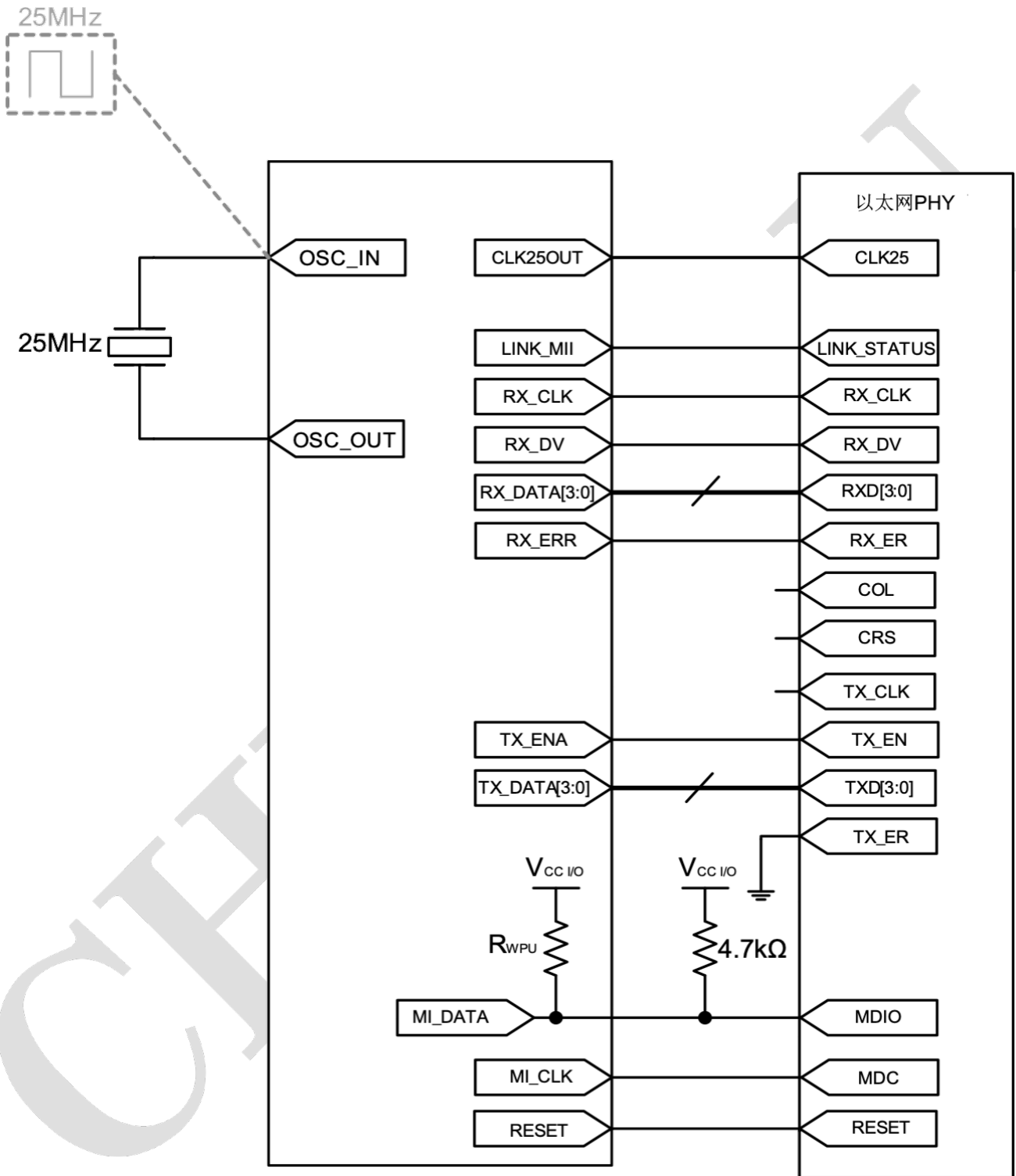


图3.9 PHY连接

3.2.9.2. PDI引脚

PDI信号的功能取决于存储在器件SII EEPROM中的配置。EEPROM加载前，PDI信号都会处于高阻态不会被驱动。没有PDI被配置，则PDI信号都会处于高阻态不会被驱动，PDI控制寄存器0x0140=0x00。

CLM1300可通过CPU_CLK引脚提供给微处理器一个时钟信号。CPU_CLK的输出由CLK_MODE配置决定。

CHIPLON

3.2.9.3.物理端口0

下表为物理端口0的引脚。CLM1300这些引脚能够被配置为MII接口使用。

引脚		MII		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向		
TX_ENA(0)	BD	TX_ENA(0)	O/I		
TX_D(0)[0]/C25_ENA	BD	TX_D(0)[0]	O	C25_ENA	
TX_D(0)[1]	O	TX_D(0)[1]	O		
TX_D(0)[2]/C25_SHI[0]	BD	TX_D(0)[2]	O	C25_SHI[0]	
TX_D(0)[3]/C25_SHI[1]	BD	TX_D(0)[3]	O	C25_SHI[1]	
RX_D(0)[0]	I	RX_D(0)[0]	I		
RX_D(0)[1]	I	RX_D(0)[1]	I		27 kΩ PU
RX_D(0)[2]	I	RX_D(0)[2]	I		
RX_D(0)[3]	I	RX_D(0)[3]	I		
RX_DV(0)	I	RX_DV(0)	I		27 kΩ PU
RX_ERR(0)		RX_ERR(0)	I		
RX_CLK(0)	I	RX_CLK(0)	I		
LINK_MII(0)	I	LINK_MII(0)	I		
PERR(0)/TRANS(0)/CLK_MODE[0]	BD	PERR(0)/TRANS(0)	O/I	CLK_MODE[0]	
LINKACT(0)/P_CONF[0]	BD	LINKACT(0)	O	P_CONF[0]	

表3.25 物理端口0

3.2.9.4.物理端口1

下表展示了物理端口1的引脚。CLM1300这些引脚能够被配置为MII接口使用。

引脚		MII		配置信号	内部上拉/ 下拉电阻
名称	方向	信号	方向		
TX_ENA(1)	BD	TX_ENA(1)	O/I		
TX_D(1)[0]/TRANS_MODE_ENA	BD	TX_D(1)[0]	O	TRANS_MODE_ENA	
TX_D(1)[1]	O	TX_D(1)[1]	O		
TX_D(1)[2]/P_MODE[0]	BD	TX_D(1)[2]	O	P_MODE[0]	
TX_D(1)[3]/P_MODE[1]	BD	TX_D(1)[3]	O	P_MODE[1]	
RX_D(1)[0]	I	RX_D(1)[0]	I		
RX_D(1)[1]	I	RX_D(1)[1]	I		27 kΩ PD
RX_D(1)[2]	I	RX_D(1)[2]	I		
RX_D(1)[3]	I	RX_D(1)[3]	I		
RX_DV(1)	I	RX_DV(1)	I		27 kΩ PU
RX_ERR(1)	I	RX_ERR(1)	I		
RX_CLK(1)	I	RX_CLK(1)	I		
LINK_MII(1)	I	LINK_MII(1)	I		
PERR(1)/TRANS(1)/CLK_MODE(1)	BD	PERR(1)/TRANS(1)	O/I	CLK_MODE[1]	
LINKACT(1)/P_CONF(1)	BD	LINKACT(1)	O	P_CONF[1]	

表3.26 物理端口1

3.2.10.SPI接口

CLM1300芯片的应用数据接口成为过程数据接口 (Process Data Interface) 或物理设备接口 (Physical Device Interface),即PDI接口。根据选择的PDI (SII EEPROM) 引进对PDI信号进行引脚分配, CLM1300分配为SPI模式。PDI的选择和PDI信号引脚分配服从端口配置的约束。SPI接口的PDI在任何配置中都是可用的。

	SPI	PDI 信号	2MII 端口	
			信号	方向
PDI Byte0	PDI[7:0]	PDI[0]	SPI_CLK	I
		PDI[1]	SPI_SEL	I
		PDI[2]	SPI_DI	I
		PDI[3]	SPI_DO	O
		PDI[4]	SPI_IRQ	O
		PDI[5]	--	--
		PDI[6]	EEPROM_LOADED	O
		PDI[7]/CPU_CLK	--/CPU_CLK	--/O

表3.27 SPI从站接口与CLM1300端口的映射

4. 内存映射

工业以太网从站控制器拥有64Kbyte的地址空间。前4Kbyte的地址空间(0x0000:0x0FFF)分配给了寄存器。过程数据RAM区从地址0x1000开始，结束于地址0x2FFF，大小为8 Kbyte。

下表是可用寄存器的一个总结：

地址	长度(Byte)	描述	CLM1300
0x0000	1	类型	x
0x0001	1	修订	x
0x0002:0x0003	2	编译	x
0x0004	1	支持FMMU	x
0x0005	1	支持SM (同步管理通道)	x
0x0006	1	RAM大小	x
0x0007	1	端口描述	x
0x0008:0x0009	2	以太网从站控制器支持的特征	x
0x0010:0x0011	2	配置站点地址	x
0x0012:0x0013	2	配置站点别名	x
0x0020	1	寄存器写使能	x
0x0021	1	寄存器写保护	x
0x0030	1	以太网从站控制器写使能	x
0x0031	1	以太网从站控制器写保护	x
0x0040	1	以太网从站控制器复位以太网	x
0x0041	1	以太网从站控制器复位PDI	-
0x0100:0x0101	2	以太网从站控制器DL控制	x
0x0102:0x0103	2	扩展以太网从站控制器DL控制	x
0x0108:0x0109	2	物理读/写偏移	x
0x0110:0x0111	2	以太网从站控制器DL状态	x
0x0120	5 bits [4:0]	AL控制	x
0x0120:0x0121	2	AL 控制	x
0x0130	5 bits [4:0]	AL状态	x
0x0130:0x0131	2	AL 状态	x
0x0134:0x0135	2	AL 状态码	x
0x0138	1	运行LED覆盖	-
0x0139	1	错误LED覆盖	-
0x0140	1	PDI控制	x
0x0141	1	以太网从站控制器配置	x
0x014E:0x014F	2	PDI信息	-
0x0150	1	PDI配置	x
0x0151	1	DC SYNC/LATCH接口配置	x
0x0152:0x0153	2	扩展PDI配置	x
0x0200:0x0201	2	以太网事件屏蔽	x
0x0204:0x0207	4	PDI AL事件屏蔽	x

0x0210:0x0211	2	以太网事件请求	x
0x0220:0x0223	4	AL事件请求	x
0x0300:0x0307	4*2	接收 (RX) 错误计数器[3:0]	x
0x0308:0x030B	4*1	转发接收 (RX) 错误计数器[3:0]	x
0x030C	1	以太网处理单元错误计数器	x
0x030D	1	PDI错误计数器	x
0x030E	1	PDI错误码	-
0x0310:0x0313	4*1	链接丢失计数器[3:0]	x
0x0400:0x0401	2	看门狗分频器	x
0x0410:0x0411	2	PDI看门狗计时器	x
0x0420:0x0421	2	过程数据看门狗计时器	x
0x0440:0x0441	2	过程数据看门狗状态	x
0x0442	1	过程数据看门狗计数器	x
0x0443	1	PDI看门狗计数器	x
0x0500:0x050F	16	SII EEPROM接口	x
0x0510:0x0515	6	MII管理器接口	x
0x0516:0x0517	2	MII管理操作状态	-
0x0518:0x051B	4	PHY端口状态[3:0]	-
0x0600:0x06FC	16*13	FMMU[15:0]	8
0x0800:0x087F	16*8	同步管理器SM[15:0]	8
0x0900:0x090F	4*4	分布时钟DC- 接收时间	x
0x0910:0x0917	8	DC - 系统时间	SL
0x0918:0x091F	8	DC -EPU接收时间	SL
0x0920:0x0927	8	DC - 系统时间偏移	SL
0x0928:0x092B	4	DC - 系统时间延迟	SL
0x092C:0x092F	4	DC -系统处理时差	SL
0x0930:0x0931	2	DC - 速度计数器开始	SL
0x0932:0x0933	2	DC - 速度计数器差异	SL
0x0934	1	DC -系统时差滤波深度	SL
0x0935	1	DC - 速度计数器滤波深度	SL
0x0936	1	DC -接收时间锁存模式	-
0x0980	1	DC -周期单元控制	S
0x0981	1	DC - 激活	S
0x0982:0x0983	2	DC -SYNC信号脉冲长度	S
0x0984	1	DC - 激活状态	-
0x098E	1	DC - SYNC0信号状态	S
0x098F	1	DC - SYNC1信号状态	S
0x0990:0x0997	8	DC -下一个周期操控时间/下一个SYNC0脉冲	S
0x0998:0x099F	8	DC -下一个SYNC1信号脉冲	S
0x09A0:0x09A3	4	DC - SYNC0周期时间	S

0x09A4:0x09A7	4	DC – SYNC1周期时间	S
0x09A8	1	DC – LATCH0控制	L
0x09A9	1	DC – LATCH1 控制	L
0x09AE	1	DC – LATCH0状态	L
0x09AF	1	DC – LATCH1状态	L
0x09B0:0x09B7	8	DC – LATCH0上升沿	L
0x09B8:0x09BF	8	DC – Latch0下降沿	L
0x09C0:0x09C7	8	DC – Latch1上升沿	L
0x09C7:0x09CF	8	DC – Latch1下降沿	L
0x09F0:0x09F3	4	DC –缓存变化事件时间	SL
0x09F8:0x09FB	4	DC – PDI缓存开始事件时间	SL
0x09FC:0x09FF	4	DC – PDI缓存变化事件时间	SL
0x0E00:0x0E03	4	上电值[Bits]	16
0x0E00:0x0E07	8	产品ID	-
0x0E08:0x0E0F	8	厂商 ID	-
0x0E10	1	以太网从站控制器健康状态	-
0x0F00:0x0F03	4	数字量I/O输出数据	x
0x0F10:0x0F17	8	通用功能输出数据[Byte]	2
0x0F18:0x0F1F	8	通用功能输入数据[Byte]	2
0x0F80:0x0FFF	128	使用RAM	x
0x1000:0x1003	4	数字量I/O接口输入数据	io
0x1000 ff.		过程数据RAM [Kbyte]	8

表4.1 CLM1300寄存器分布

x: 可用

-: 不可用

SL: DC同步输出单元或者锁存输入单元使能, EEPROM setting 0x0000[10]=1, or 0x0000[11]=1

S: DC同步输出单元使能, EEPROM设定0x0000[10]=1

L: 锁存输入单元使能, EEPROM 设定0x0000[11]=1

io: PDI接口的数字IO被选中时, 可用

5. 电气特性

DC特性

符号	参数	条件	最小	典型	最大	单位
VCC Core LDO	内部LDO输出电压VCC Core/VCC PLL			1.8		V
VReset I/O	VCC I/O的复位门槛电压			TBD		V
VReset Core	VCC Core的复位门槛电压			TBD		V
VIL	输入低电压(不包含OSC_IN引脚)				TBD	V
VIH	输入高电压(不包含OSC_IN引脚)	a) VCC I/O=3.3V b) VCC I/O=5V	TBD		a) TBD b) TBD	V
VIT OSC_IN	OSC_IN输入门槛电压(没有施密特触发器)	a) VCC I/O=3.3V b) VCC I/O=5V	a) TBD b) TBD	a) TBD b) TBD	a) TBD b) TBD	V
VOL	输出低电压				TBD	V
VOH	输出高电压		TBD			V
IOH	输出高电流				TBD	mA
IOL	输出低电流				TBD	mA
IIL	输入漏电流(无内部上拉/下拉电阻)				TBD	uA
IOL	输出漏电流(三态, 无内部上拉/下拉电阻)				TBD	uA
RPU	内部上拉电阻		TBD	TBD	TBD	kΩ
RWPU	内部弱上拉电阻	a) VCC I/O=3.3V b) VCC I/O=5V	a) TBD b) TBD	a) TBD b) TBD	a) TBD b) TBD	kΩ
RWPD	内部弱下拉电阻	a) VCC I/O=3.3V b) VCC I/O=5V	a) TBD b) TBD	a) TBD b) TBD	a) TBD b) TBD	kΩ
COSC	OSC_IN/OSC_OUT引脚电容			12		pF

表5.1 CLM1300的DC特性

注意：RWPU，RWPD不能在外使用，它们仅在CLM1300内部有效。没有特殊说明的输入和输出特性适用于所有的无LVDS接口的I/O信号。

DC特性 (使用内部LDO的供电电流)

符号	参数	条件	典型	单位
ICC I/O	供电电流范例: a) 2xMII, 1xFMMU, DC关闭 b) 2xMII, 1xFMMU, DC S+L	VCC I/O=3.3V, 使用内部LDO	a) TBD b) TBD	mA
ICC I/O Base	计算基本供电电流	VCC I/O=3.3V, 使用内部LDO	TBD	mA
ICC MII	加上每个MII端口的ICC I/O Base 供电电流		TBD	mA
ICC DC Cyclic	加上如果DC Latch或者DC Sync使能的ICC I/O Base的供电电流		TBD	mA
ICC DC Latch	加上如果DC Latch单元使能的ICC I/O Base的供电电流		TBD	mA
ICC DC Sync	加上如果DC Sync单元使能的ICC I/O Base的供电电流		TBD	mA
ICC FMMU	加上每个FMMU的ICC I/O Base 的供电电流		TBD	mA
ICC SPI	加上如果选用SPI 接口PDI的ICC I/O Base 的供电电流		TBD	mA
ICC_uC	加上如果选用微处理器PDI的ICC I/O Base 的供电电流		TBD	mA

表5.2 CLM1300直流特性

注意：供电电流不包含对PDI和LED的输出驱动电流。

DC特性(VCC Core使用外部供电的供电电流)

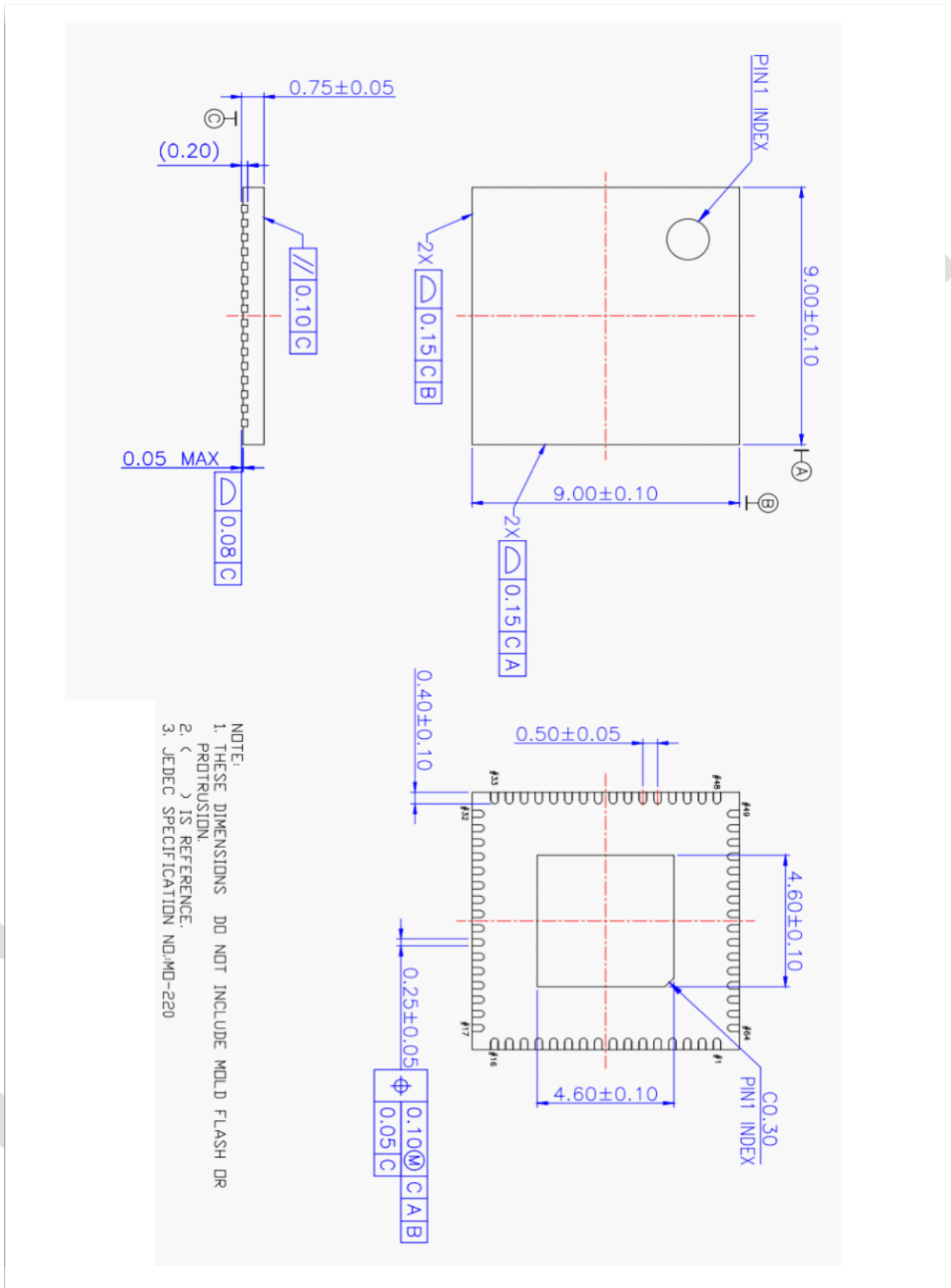
符号	参数	条件	典型	单位
ICC Core	供电电流范例(数字量I/O): a) 2xMII, 1xFMMU, DC 关 b) 2xMII, 1xFMMU, DC S+L	VCC I/O=3.3V, VCC Core=1.8V	a) TBD b) TBD	mA
ICC I/O	供电电流范例(数字量I/O): a) 2xMII, 1xFMMU, DC 关 b) 2xMII, 1xFMMU, DC S+L	VCC I/O=3.3V, VCC Core=1.8V	a) TBD b) TBD	mA

表5.3 CLM1300直流特性

注意：供电电流不包含对PDI和LED的输出驱动电流。

6. 封装和订购信息

6.1. 封装信息



64 Pin QFN

6.2.订购信息

型号	状态	特性描述	封装	ROHS	包装数量	温度范围 (°C)	PKG. DWG. #
CLM1300-0003	量产	2MII接口工业以太网从站控制器	QFN-64	YES	1200PCS/托盘	-40 ~ +85	V1.0

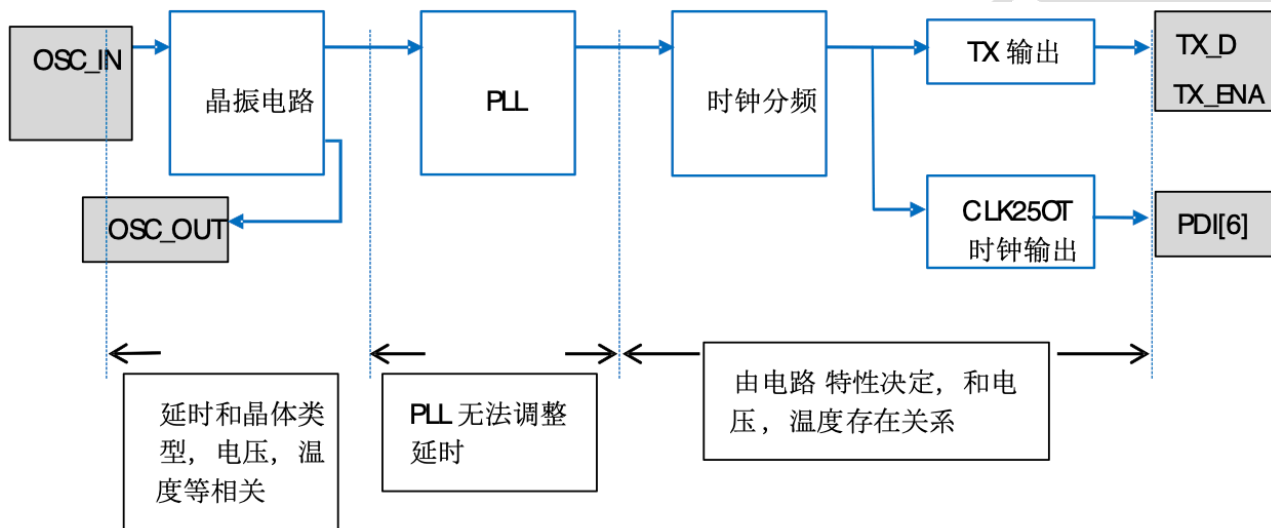
附录A 应用注意

A.1 TX SHIFT设置

本芯片在使用时，如果基于OSC_IN/OSC_OUT来做时钟参考，应该按照实际情况来调节TX_SHIFT[1:0]的值，使得PHY芯片能安全的采集到TX_ENA和TX_D。

大多数情况下，不对TX_SHIFT[1:0]做任何配置，也可以正常采集数据，但这样的系统并不能保证准确性，因为随着电压和温度的变化，采集点可能会偏离到数据的变化沿，导致采集错误，造成通信不稳定，所以建议将采集点调节至数据最稳定的时刻，提高系统稳定性。

构成延时的示意图如下：



图A.1 延时示意图

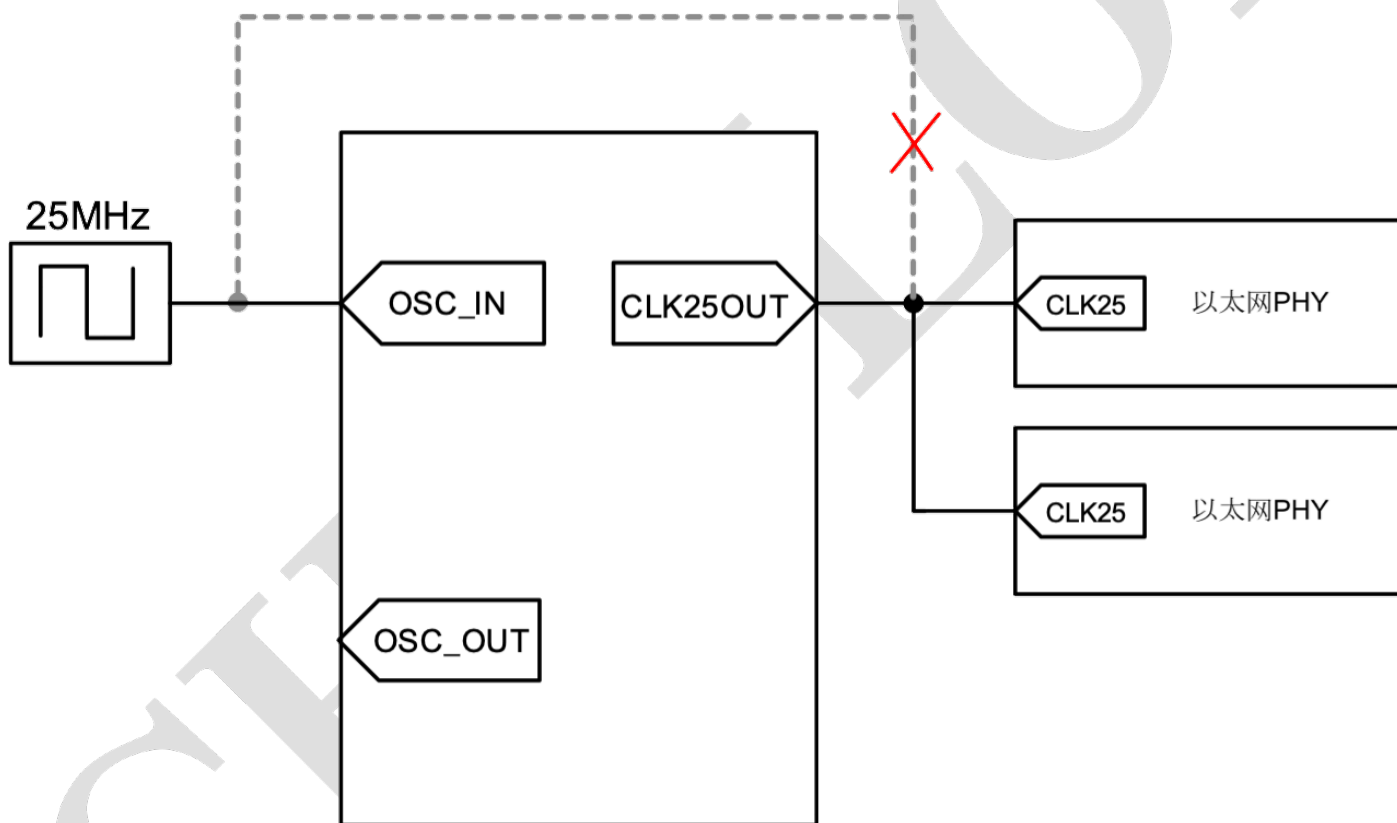
A.2 PHY芯片选择注意事项

芯片的多个模式配置都是通过引脚上接上拉或下拉电阻来实现的，芯片在上电时，会读取引脚上的电平，来判断是上拉还是下拉，从而配置芯片进入特定的模式，因此，如果芯片的配置引脚上除了上拉或下拉电阻，还接了其他芯片，比如PHY芯片，那么一定要注意PHY芯片内部是否有上拉或下拉电阻，如果有，那么要确保PHY芯片和上拉/下拉电阻的合电阻，依然能够满足芯片的配置要求。

比如使用下拉电阻配置LINKPOL/MI_CLK，同时此引脚还接了PHY芯片的MDC管脚，部分PHY芯片的此管脚内部存在一个15K左右的上拉电阻，这个电阻会导致下拉配置识别错误，从而无法正常识别和工作，此时可以将下拉电阻降低，让芯片能读到正确的配置信息。

A.3关于PHY芯片的时钟

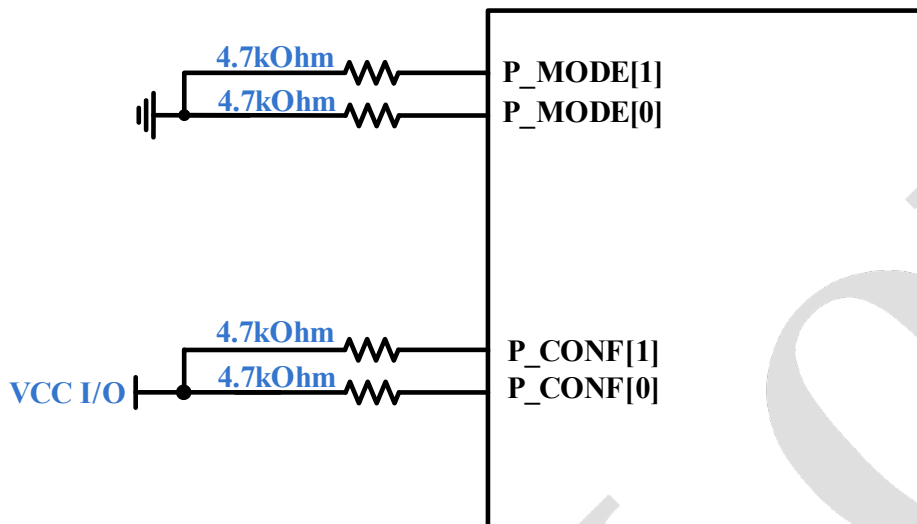
PHY芯片的时钟需由CLM1300N2N芯片的输出时钟提供，而不能使用振荡器提供，图中虚线所示连接是禁止的。



图A.2 PHY芯片时钟

A.4关于配置引脚需要注意的点

需要注意的是CLM1300芯片为2MII接口工业以太网从站控制器，其仅支持两端口模式，且均配置为MII接口，所以相应的配置引脚为固定的配置,即为P_MODE[1:0]=00和P_CONF[1:0]=11，如下图所示。



图A.3 P_MODE[1:0]=00和P_CONF[1:0]=11的固定配置

A.5关于EEPROM接口配置说明

CLM1300芯片仅支持SPI接口操作，故PDI控制寄存器地址0x140=0x05,不支持其他值，即EEPROM的第一个字节只能是0x05。

EEPROM的前8个WORD为x05, 0x0e, 0x03, 0x44, 0x0a, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x52, 0x00，其中WORD[0]对应以太网从站控制器的0x0140-0x0141寄存器,其中0x0140=0x05，0x0141=0x0e。

另外需要注意的是WORD[7]是CRC8校验码，前七个WORD中任何一个bit发生变化时，WORD[7]就不是原来的值了。